

KL5BUDV003 簡易版 データシート

Rev 1.0

川崎マイクロエレクトロニクス株式会社

作成履歴

履歴	更新日	更新内容
0.1	2001.12.19	First Draft
1.0	2002.7.26	

本資料をご利用いただく上での注意事項

- ・ 本資料に記載された製品および情報の使用に際し、当社又は第三者の知的財産権およびその他の権利の行使を保証するものでもなく、許諾するものでもありません。これらの使用に起因する第三者の知的所有権およびその他の権利侵害に対し、当社はその責任を負うものではありません。
- ・ 本資料に記載された回路やそれに付随する情報は、半導体製品の動作例あるいは応用例を説明する目的であり、これらの情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしていただくようお願い申し上げます。これらの情報の使用に起因するお客様もしくは第三者の損害に対して、当社は一切責任を負うことは出来ませんのでご注意ください。
- ・ 本資料の記載内容は、予告なしに変更する権利を当社は有します。
- ・ 本資料に記載した情報の複製あるいは転載は、文書による当社の事前許諾が必要です。
- ・ 本製品を極めて高い信頼性が要求される用途にご使用の場合は事前に当社までご連絡下さい。
- ・ 半導体製品はある確率で故障が発生します。当社半導体製品が仮に故障しても、結果として人身事故や火災事故、社会的な損害を生じさせないようお客様の機器設計においては冗長性、安全性、誤動作防止などに十分配慮した設計を行っていただくよう、ご注意願います。
- ・ 本資料に記載された製品が「外国為替および外国貿易法」に基づき規制されている貨物または技術に該当する場合には、本製品の輸出に際し同法に基づき日本政府の輸出許可が必要となります。
- ・ 本資料に記載されている会社名、商品名などは各社の商標または登録商標です。

目次

1. 製品概要	4
2. 機能概要	5
2.1. デバイスの特徴	5
2.2. DMAC とエンドポイントの対応	6
3. 内部ブロック	7
3.1. USB201IP ブロック	7
3.2. HS_SIE ブロック	7
3.3. DBUF ブロック	7
3.4. U2P_CTRL ブロック	7
4. シンボル図	9
5. パッケージ情報	10
6. ピン情報	11
6.1. ピン配置(PCI bus mode).....	11
6.2. 信号説明	13
7. 動作概要	15
7.1. リセット	15
7.2. U2P control 動作概要.....	15
7.3. HS_SIE 動作概要.....	16
8. 動作タイミング	17
9. 参考資料	18

1. 製品概要

KL5BUDV003 LSI は川崎マイクロの KL5BUDV002 (U2PCI)をベースとした新製品で新しい機能が加わっています。主な改良点を以下に示します。

- 1.USB2.0 対応トランシーバの内蔵
- 2.エンドポイントの拡張
- 3.IHOST バスの追加

製品の主な特徴を以下に示します。

- 1 . KS6000 0.18um スタンダードセルに USB2.0 PHY と USB、PCI インターフェース回路を集積
- 2 . 33MHz 、 32 ビット PCI バスをサポート
- 3 . 最大 4 個の PCI マスター転送用 DMAC をサポート
- 4 . PCI マスター転送用ダブルバッファ DMAC
- 5 . 最大 5 個のエンドポイントに対応
- 6 . PCI 用 33MHz クロック、USB 用 48MHz クロック
- 7 . 内部データの DMA 転送とダブルバッファによる高速化
- 8 . 消費電流(typical)
120mA(エンドポイント 2 個)
150mA(エンドポイント 5 個)
- 9 . 動作電圧 I/O 、 analog :3.3V ± 0.3 V
Core:1.8V ± 0.15 V
- 1 0 . 動作周囲温度 0 ~ 70
- 1 1 . LQFP144 パッケージ (20mm 角)

2. 機能概要

2.1. デバイスの特徴

KL5BUDV003 は USB201IP(USB2.0 トランシーバ)、HS_SIE、ハイスピードのバルク転送 packets に対応した 4 セットのバッファ(DBUF)、6 チャンネルの PCI のマスター転送 DMA を持った PCI インターフェース、4 チャンネルの DMA を持った IHOST インターフェースからなります。デバイスは理想的な環境で約 400 Mb/s の高速データ転送を実現します。(USB、PCI 側どちらからもウエイトがかからない条件、シミュレーション値)

- USB2.0 ハイスピードトランシーバ
USB2.0 ハイスピード対応バッファ、アナログインターフェース、USB シリアルデータ処理回路を内蔵しています。
- HS_SIE 機能を内蔵 (FS にも対応)
HS チャープ、HS/FS 判定、USB の基本的なプロトコルコントロールを行います。
最大 5 個のエンドポイントのサポートしています。

Endpoint 0	Control Transfer	64Bytes buffer
Endpoint 1	Bulk OUT	512Bytes x2 buffer
Endpoint 2	Bulk IN	512Bytes x2 buffer
Endpoint 3	Bulk OUT	512Bytes x2 buffer
Endpoint 4	Bulk IN	512Bytes x2 buffer
Endpoint 5	Interrupt IN	8Bytes buffer
- PCI bus IF
PCI bus - 33MHz, 32bit, sideB への実装を想定したピン配置です。
Target single access での内部レジスタのアクセス(Memory Mapped)が可能です。
Master burst access (DMA 2 モードをレジスタ選択可)を行います。
 - DMAC_P モード。外部のページテーブルを使用する PCI RD または PCI WR でページサイズは固定(4KBytes/page)です。
 - DMAC_D モード。外部のブロック・デスクリプタを使用する PCI RD、PCI WR または PCI RD/WR 時分割動作でブロックサイズはレジスタ選択可能です(4/16/32/64 KBytes/block)。
- IHOST bus IF
PCI バスを持たない 1 チップマイコン等を想定した HCSN、HWRN、

HRDN、HRDY を使用したレジスタアクセスと 4 チャンネルの DMA を内蔵しています。

2.2. DMAC とエンドポイントの対応

DMAC_D モードでは PCI の書き込み、読み出しを並列に動作可能です。エンドポイントも独立に選択可能です。

以下に DMAC_D モードでの動作モードを示します。

表 2.2.1 DMAC_D 動作モード

動作モード														
DMAC_D1(WR) Endpoint1(BO)	X		X				X		X	X		X	X	X
DMAC_D2(RD) Endpoint2(BI)		X	X					X	X		X	X		X
DMAC_D3(WR) Endpoint3(BO)				X		X	X	X	X				X	X
DMAC_D4(RD) Endpoint4(BI)					X	X				X	X	X	X	X

塗りつぶし部分は KL5BUDV002(U2PCI) と同一モードを、X は対応しているモードを示します。

DMAC_P モードのまとめを以下に示します。

表 2.2.2 DMAC_P 動作モード

動作モード							
DMAC_P1(WR) Endpoint1(BO)	X				X	X	
DMAC_P1(RD) Endpoint2(BI)		X					X
DMAC_P2(WR) Endpoint3(BO)			X		X		X
DMAC_P2(RD) Endpoint4(BI)				X		X	X

注：PCI の RD,WR 動作は内部フラグで指定します。DMAC_D モードでの PCI RD/WR 時分割動作は round robin 方式を採用していません。

注：Master burst length は P_MODE ピンおよびレジスタで選択可能です。

P_MODE[2]==1 の場合にはレジスタ選択 (4/8/32/64/128/256B)
この場合 PCI Config header 情報の MIN_GNT,MAX_LAT はともに 0 となります。

P_MODE[2]==0 の場合 P_MODE[1:0]ピンで選択
(32/64/128/256B)

MIN_GNT,MAX_LAT は 400Mb/s のスループットと length 情報

を元に予め決められた値に設定されます。(電源投入時に確定)

- PCI bus の DMA データ転送時の Endian 切り替え
Config header や内部レジスタ (データ転送用以外) の Endian は Little Endian に固定です。USB データ転送時に内部レジスタの設定により Endian を Big End に切り替え可能です。
- 内部データバッファは送信用、受信用独立したダブルバッファ構成 512Byte (またはそれ以下のデータ転送単位) 毎のバッファリング。バッファサイズは USB BO/BI 共に 512B(128 DW x 32b) x2
- Data Integrity
PCI 側または USB host 側がビジーで転送にブランクが生じてもデバイス内のデータは保護されます。
- USB configuration
当社の Vendor Specific Class に応じた auto_configuration を準備しています。PCI 外部からの configuration 制御も可能です。
(default)
- Max throughput
USB bus 側、PCI bus 側ともに遅延要因がない場合に 400Mb/s の転送性能を目標としています。

3. 内部ブロック

3.1. USB201IP ブロック

USB2.0 トランシーバ機能を実行します。USB トランザクションのローレベルプロトコル対応。KL5KUSB201 とコンパチです。

3.2. HS_SIE ブロック

USB201IP の制御、パケット生成やリトライといった USB デバイスプロトコルを実行します。USB データのバッファリング、DBUF バッファメモリーとのデータ転送制御および USB イベントの通知等を行います。

3.3. DBUF ブロック

HS_SIE ブロックおよび U2P_CTRL ブロックの制御のもとに、USB データのバッファリングを行います。送信用に 512Byte x2、受信用に 512Byte x2 のそれぞれ独立したダブルバッファ構成となります。

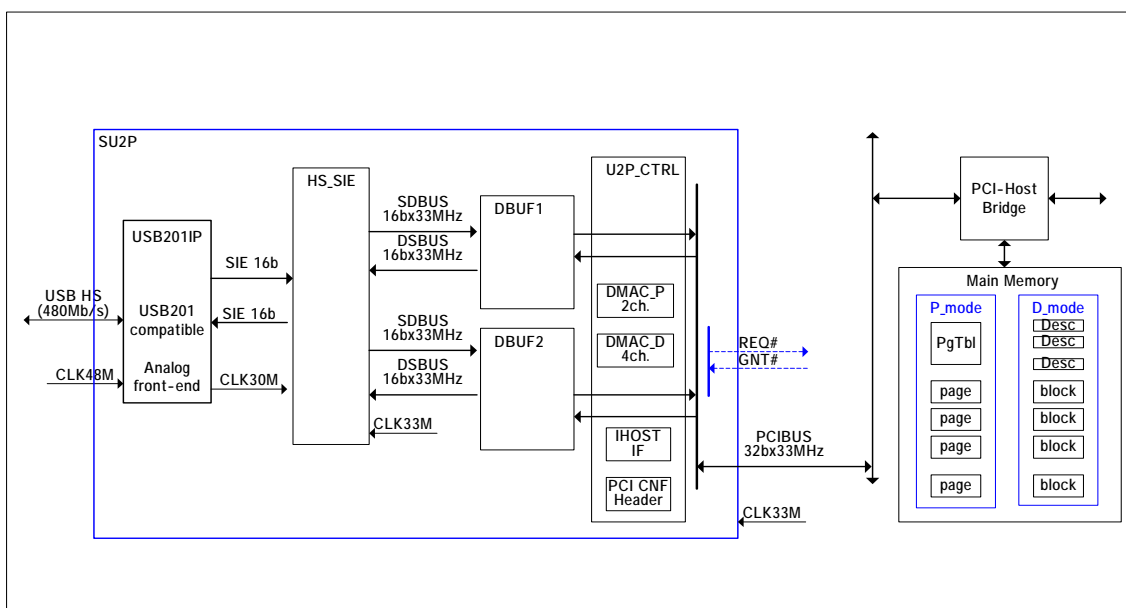
3.4. U2P_CTRL ブロック

デバイス全体の制御のほかに、DMAC_P RD または WR と DMAC_D

RD および DMAC_D WR コントローラを内蔵し、多彩な DBUF-外部メモリー間の DMA データ転送を行います。PCI コンフィグレーションレジスタ、PCI IF も内蔵しています。
IHOST インターフェースも内蔵し 16 ビットバスでのデータ転送を行います。

図 3 に内部ブロックを示します。
PCI バスを使用した例で外部のメモリー内のディスクリプター等は P_MODE、D_MODE 両方記述しています。どちらのモードを使用するかによって片方のみとなります。

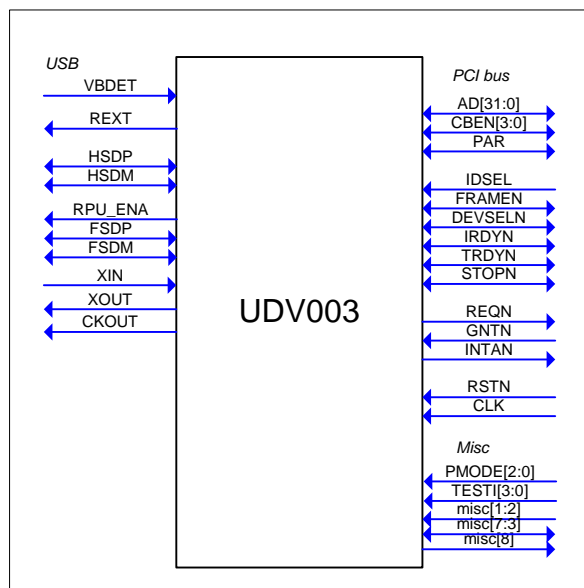
図 3 内部ブロック図



4. シンボル図

図4にシンボル図を示します。PCIバス使用時の信号名のみを示しています。IHOST 使用時は 6.2 章の信号説明の項を参照してください。

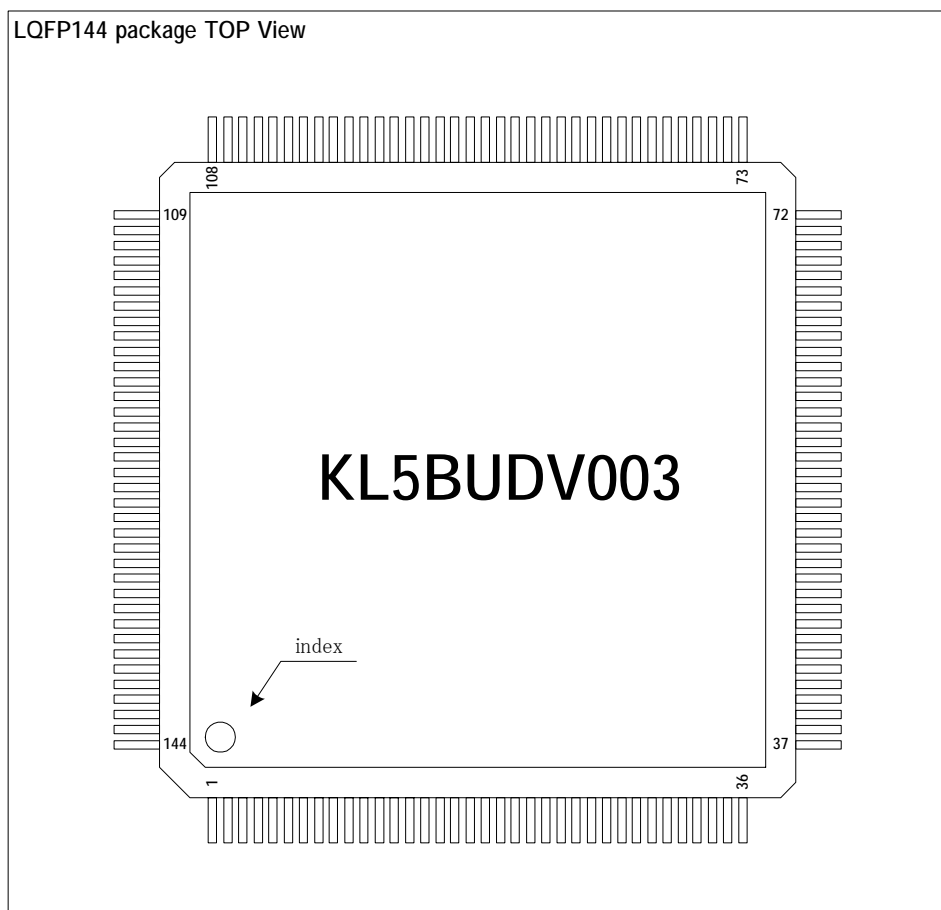
図4 シンボル図



5. パッケージ情報

図 5 にパッケージ外観図を示します。144 ピン LQFP パッケージです。

図 5 パッケージ



6. ピン情報

6.1. ピン配置(PCI bus mode)

Pin	Signal name	I/O	Bus	Remarks	Pin	Signal name	I/O	Bus	Remarks
1	P_MODE[0]	I	misc	H/L	37	GND		--	gnd
2	P_MODE[1]	I	misc	H/L	38	AD[31]	I/O	PCI	--
3	P_MODE[2]	I	misc	H/L	39	AD[30]	I/O	PCI	--
4	TESTI[0]	I	misc	H/L	40	AD[29]	I/O	PCI	--
5	TESTI[1]	I	misc	H/L	41	VDD		--	vdd
6	VDD18		--	vdd	42	GND		--	gnd
7	GND		--	gnd	43	AD[28]	I/O	PCI	--
8	AVDD		--	vdd	44	VDD18		--	vdd
9	GND		--	gnd	45	GND		--	gnd
10	AVDD		--	vdd	46	AD[27]	I/O	PCI	--
11	GND		--	gnd	47	GND		--	gnd
12	REXT	O	USB	--	48	AD[26]	I/O	PCI	--
13	RPU_ENA	O	USB	--	49	AD[25]	I/O	PCI	--
14	AVDD		--	vdd	50	AD[24]	I/O	PCI	--
15	GND		--	gnd	51	VDD		--	vdd
16	GND		--	gnd	52	GND		--	gnd
17	FSDP	I/O	USB	--	53	VDD		--	vdd
18	HSDP	I/O	USB	--	54	GND		--	gnd
19	HSDM	I/O	USB	--	55	VDD18		--	vdd
20	FSDM	I/O	USB	--	56	GND		--	gnd
21	GND		--	gnd	57	CBEN[3]	I/O	PCI	--
22	GND		--	gnd	58	IDSEL	I	PCI	--
23	AVDD		--	vdd	59	AD[23]	I/O	PCI	--
24	VDD		--	vdd	60	GND		--	gnd
25	GND		--	gnd	61	AD[22]	I/O	PCI	--
26	VDD18		--	vdd	62	AD[21]	I/O	PCI	--
27	GND		--	gnd	63	AD[20]	I/O	PCI	--
28	TESTI[2]	I	misc	L	64	VDD18		--	vdd
29	TESTI[3]	I	misc	H	65	GND		--	gnd
30	VDD		--	vdd	66	VDD		--	vdd
31	GND		--	gnd	67	GND		--	gnd
32	INTAN	O	PCI	--	68	AD[19]	I/O	PCI	--
33	RSTN	I	PCI	--	69	AD[18]	I/O	PCI	--
34	CLK	I	PCI	--	70	GND		--	gnd
35	GNTN	I	PCI	--	71	AD[17]	I/O	PCI	--
36	REQN	O	PCI	--	72	AD[16]	I/O	PCI	--
73	VDD		--	vdd	109	GND		--	gnd
74	GND		--	gnd	110	AD[7]	I/O	PCI	--
75	CBEN[2]	I/O	PCI	--	111	AD[6]	I/O	PCI	--
76	FRAMEN	I/O	PCI	--	112	AD[5]	I/O	PCI	--
77	GND		--	gnd	113	VDD		--	vdd
78	IRDYN	I/O	PCI	--	114	GND		--	gnd
79	TRDYN	I/O	PCI	--	115	AD[4]	I/O	PCI	--
80	VDD18		--	vdd	116	VDD18		--	vdd
81	GND		--	gnd	117	GND		--	gnd
82	DEVSELN	I/O	PCI	--	118	AD[3]	I/O	PCI	--
83	VDD		--	vdd	119	GND		--	gnd
84	GND		--	gnd	120	AD[2]	I/O	PCI	--

Pin	Signal name	I/O	Bus	Remarks	Pin	Signal name	I/O	Bus	Remarks
85	STOPN	I/O	PCI	--	121	AD[1]	I/O	PCI	--
86	PAR	I/O	PCI	--	122	VDD		--	vdd
87	GND		--	gnd	123	AD[0]	I/O	PCI	--
88	CBEN[1]	I/O	PCI	--	124	GND		--	gnd
89	VDD		--	vdd	125	VDD		--	vdd
90	GND		--	gnd	126	GND		--	gnd
91	VDD18		--	vdd	127	VDD18		--	vdd
92	GND		--	gnd	128	GND		--	gnd
93	AD[15]	I/O	PCI	--	129	CKOUT	O	USB	NC
94	AD[14]	I/O	PCI	--	130	VBDET	I	USB	--
95	VDD		--	vdd	131	misc1	I	misc	L
96	GND		--	gnd	132	misc2	I	misc	L
97	AD[13]	I/O	PCI	--	133	misc3	I/O	misc	NC
98	AD[12]	I/O	PCI	--	134	misc4	I/O	misc	NC
99	GND		--	gnd	135	misc5	I/O	misc	NC
100	VDD18		--	vdd	136	VDD18		--	vdd
101	GND		--	gnd	137	GND		--	gnd
102	AD[11]	I/O	PCI	--	138	misc6	I/O	misc	NC
103	AD[10]	I/O	PCI	--	139	misc7	I/O	misc	NC
104	AD[9]	I/O	PCI	--	140	misc8	O	misc	NC
105	VDD		--	vdd	141	VDD		--	vdd
106	GND		--	gnd	142	XIN	I	USB	--
107	AD[8]	I/O	PCI	--	143	XOUT	O	USB	--
108	CBEN[0]	I/O	PCI	--	144	GND		--	gnd

注 : P_MODE[2:0]は PCI burst length と PCI Config reg の MAX_LAT, MIN_GNT
を選択するのに使用します。

VDD18 は 1.8V 電源ピン、AVDD と VDD は 3.3V 電源ピンです。

6.2. 信号説明

端子名、機能の上段は PCI バス、下段は IHOST バス使用時です。

ピン番号	端子名	I/O	機能
	PCI Bus		
38-40,43,46,48-50,59,61-63,68,69,71,72,93,94,97,98,102-104,107,110-112,115,118,120,121,123	AD[31:0] (t/s)	I/O	PCI アドレス・データバス。
	LAST_BI4、 LBYTE_BI4、 HACK_BI4、 HREQ_BI4、 LAST_BO3、 LBYTE_BO3、 HACK_BO3、 HREQ_BO3、 LAST_BI2、 LBYTE_BI2、 HACK_BI2、 HREQ_BI2、 LAST_BBO1、 LBYTE_BO1、 HACK_BO1H、 REQ_BO1、 HDAT[15:0]		IHOST 使用時は以下のように割り当てられます。 AD[31]: LAST_BI4、AD[30]: LBYTE_BI4、 AD[29]: HACK_BI4、AD[28]: HREQ_BI4、 AD[27]: LAST_BO3、AD[26]: LBYTE_BO3、 AD[25]: HACK_BO3、AD[24]: HREQ_BO3、 AD[23]: LAST_BI2、AD[22]: LBYTE_BI2、 AD[21]: HACK_BI2、AD[20]: HREQ_BI2、 AD[19]: LAST_BBO1、AD[18]: LBYTE_BO1、 AD[17]: HACK_BO1、AD[16]: HREQ_BO1、 AD[15:0]: HDAT[15:0] HREQ、HACK は DMA リクエストとアクノリッジ信号、LAST は最後の転送であることを示し、LBYTE は最後のデータが下位バイトのみ有効であることを示します。
57,75,88,108	CBEN[3:0] (t/s)	I/O	バスコマンド・バイトイネーブル信号。
	HADR[3:0]		アドレス信号。
86	PAR (t/s)	I/O	Even Parity フラグ。
	HADR[5]		アドレス信号
76	FRAMEN (s/t/s)	I/O	サイクルフレーム信号。
	HWRN		データ書き込みストローブ信号。
79	TRDYN (s/t/s)	I/O	ターゲット RDY 信号。
78	IRDYN (s/t/s)	I/O	イニシエータ RDY 信号。
	HRDN		データ読み出しストローブ信号
85	STOPN (s/t/s)	I/O	ターゲット終了信号。
	HADR[4]		アドレス信号
82	DEVSELN (s/t/s)	I/O	デバイスセレクト信号。
58	IDSEL (in)	I	コンフィギュレーション時のデバイスセレクト信号。
	HCSN		チップセレクト信号
36	REQN (t/s)	O	PCI バス使用リクエスト信号。
	HRDY		レディー信号
35	GNTN (in)	I	PCI バス使用許可信号。
34	CLK (in)	I	PCI クロック信号。最大 33MHz。
33	RSTN (in)	I	PCI バス非同期リセット信号。

ピン番号	端子名	I/O	機能																																				
32	INTAN (o/d)	O	PCI Interrupt 信号。																																				
	HIRQ		IHOST インタラプト信号																																				
	USB																																						
12	REXT	O	100uA リファレンスバイアス電流用端子。 12.4KΩ外部抵抗を GND 間に接続する。																																				
18	HSDP	I/O	USB バス D+に接続する。High Speed 信号駆動端子																																				
19	HSDM	I/O	USB バス D-に接続する。High Speed 信号駆動端子。																																				
13	RPU_ENA	O	USB バス D+をプルアップする抵抗 Rpu(1.5kΩ)を H に駆動する端子。 High Speed モード時には 3 ステート																																				
17	FSDP	I/O	終端抵抗 Rs(39Ω)を介して USB バス D+に接続する。 Full Speed 信号駆動端子																																				
20	FSDM	I/O	終端抵抗 Rs(39Ω)を介して USB バス D-に接続する。 Full Speed 信号駆動端子																																				
142	XIN	I	48MHz 外部発振器あるいは水晶振動子用端子。																																				
143	XOUT	O	水晶振動子用端子。発振器使用時はオープン。																																				
130	VBDET	I	USB connect/disconnect 検出フラグ。 USB の VBUS を LSI 外部で Vdd 側の抵抗として 15k ohm、GND 側の抵抗として 30k ohm を用いて、2/3 に降圧し、VBDET 信号の入力とする。																																				
129	CKOUT	O	USB201IP からのCKOUT出力。テスト用のモニターピンであり通常動作時はL固定となっている。オープンとする。																																				
	Misc																																						
1-3	P_MODE [2:0]	I	Burst Length 選択フラグ。 <table border="1"> <thead> <tr> <th>P_MODE[2:0]</th> <th>Burst Length</th> <th>MIN</th> <th>GNT</th> <th>MAX</th> <th>LAT</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>32 Byte</td> <td>2</td> <td></td> <td>3</td> <td></td> </tr> <tr> <td>001</td> <td>64 Byte</td> <td>3</td> <td></td> <td>6</td> <td></td> </tr> <tr> <td>010</td> <td>128 Byte</td> <td>5</td> <td></td> <td>11</td> <td></td> </tr> <tr> <td>011</td> <td>256 Byte</td> <td>9</td> <td></td> <td>21</td> <td></td> </tr> <tr> <td>1XX</td> <td>reg 設定</td> <td>0</td> <td></td> <td>0</td> <td></td> </tr> </tbody> </table> <p>Note: MIN_GNT は Latency から計算、MAX_LAT は 400Mb/s から計算。PCI config header に反映する。</p>	P_MODE[2:0]	Burst Length	MIN	GNT	MAX	LAT	000	32 Byte	2		3		001	64 Byte	3		6		010	128 Byte	5		11		011	256 Byte	9		21		1XX	reg 設定	0		0	
P_MODE[2:0]	Burst Length	MIN	GNT	MAX	LAT																																		
000	32 Byte	2		3																																			
001	64 Byte	3		6																																			
010	128 Byte	5		11																																			
011	256 Byte	9		21																																			
1XX	reg 設定	0		0																																			
4,5,28,29	TESTI[3:0]	I	LSI 出荷テスト用入力ピン及びモード設定ピン。TESTI[2]はプルダウンする。TESTI[1:0]は IHOST か PCI モードの選択に使用する。 <table border="1"> <thead> <tr> <th>TESTI[1:0]</th> <th>mode</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>PCI</td> </tr> <tr> <td>01</td> <td>IHOST(async)</td> </tr> <tr> <td>10</td> <td>IHOST(sync)</td> </tr> </tbody> </table> TESTI[3]はプルアップする。TESTI[3]を L にすると PCI I/F での Target access 時に TRDY と STOP を同時にアサートしないモードとなる。	TESTI[1:0]	mode	00	PCI	01	IHOST(async)	10	IHOST(sync)																												
TESTI[1:0]	mode																																						
00	PCI																																						
01	IHOST(async)																																						
10	IHOST(sync)																																						
131,132	Misc[2:1]	I	LSI 出荷テスト用入力ピン。通常動作時は L 固定とする。																																				
133-135, 138,139	Misc[7:3]	I/O	LSI 出荷テスト用入出力ピン。通常動作時はオープンとする。																																				
140	Misc[8]	O	LSI 出荷テスト用出力ピン。通常動作時はオープンとする。																																				

7. 動作概要

7.1. リセット

電源投入直後は PCI からのリセット信号を RSTN ピンに入力することによりデバイスを初期化します。IHOST 使用時にも同様にリセット信号を入力してください。

デバイス内のすべてのロジックが初期化されコンフィグレジスタも初期状態に戻ります。

内部レジスタにセットすることによりソフトリセットを実行することができます。ソフトリセットは U2P と HS_SIE 関連の大きく 2 系統あり、それぞれ該当する部分のみをリセットできます。

7.2. U2P control 動作概要

転送には DMAC_D(ディスクリプター)モード、DMAC_P(ページ)モード、IHOST モードがあります。各レジスタに必要な事項をセットした後、DMAC をアクティブにすることによって転送を開始します。

DMAC_D モードは外部のディスクリプターを使用し、ディスクリプターで指定された領域にデータアクセスを行います。ディスクリプター領域へのアクセス権はディスクリプター内のフラグ (SO フラグ) でコントロールします。

デバイスは DMA がイネーブルになると外部メモリのディスクリプターを読みレジスタにセットしデータ転送を開始します。転送が終了すると SO フラグを 1 にセットし次のディスクリプターを読み出します。この段階でこのディスクリプターのアクセス権はデバイスから CPU に移ります。

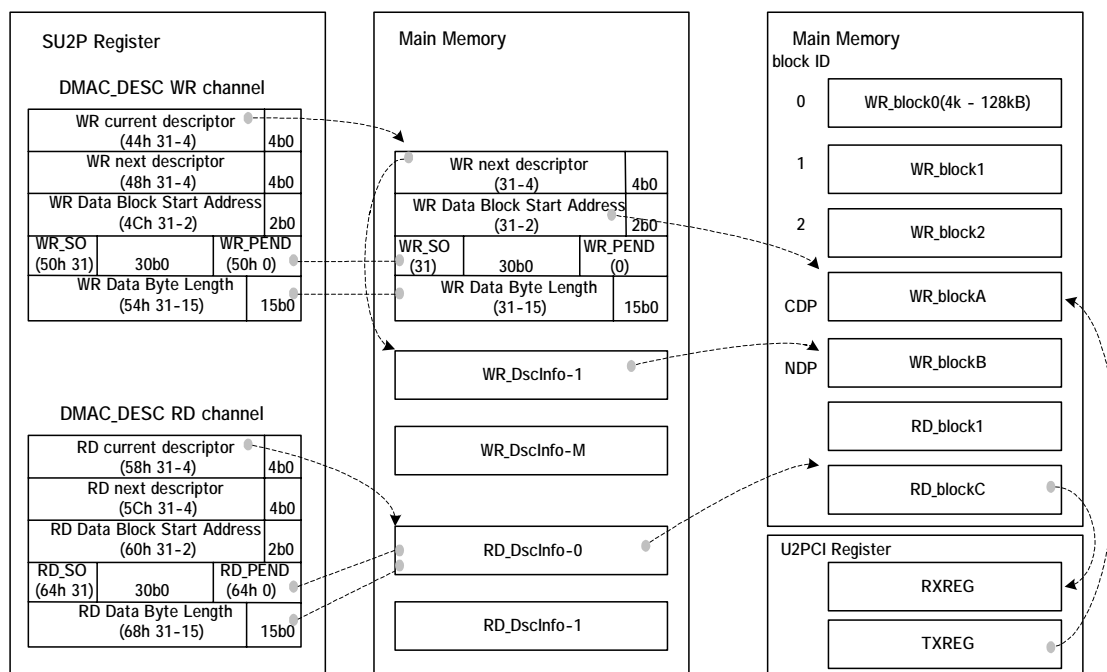
データ転送終了時にはデバイスは必要な情報を外部のディスクリプターに書き戻しますので CPU が読み出し可能となります。

ページモードも制御は同様ですが外部のディスクリプターではなくデバイス内のレジスタで制御を行います。

IHOST モードは DMA を HREQ、HACK 信号でのハンドシェイクにてデータ転送を行います。PCI バスを持たない CPU でのアクセスに有効です。

図 7.2 に descriptor の対応図示します。

図 7.2 Descriptor 対応図



7.3. HS_SIE 動作概要

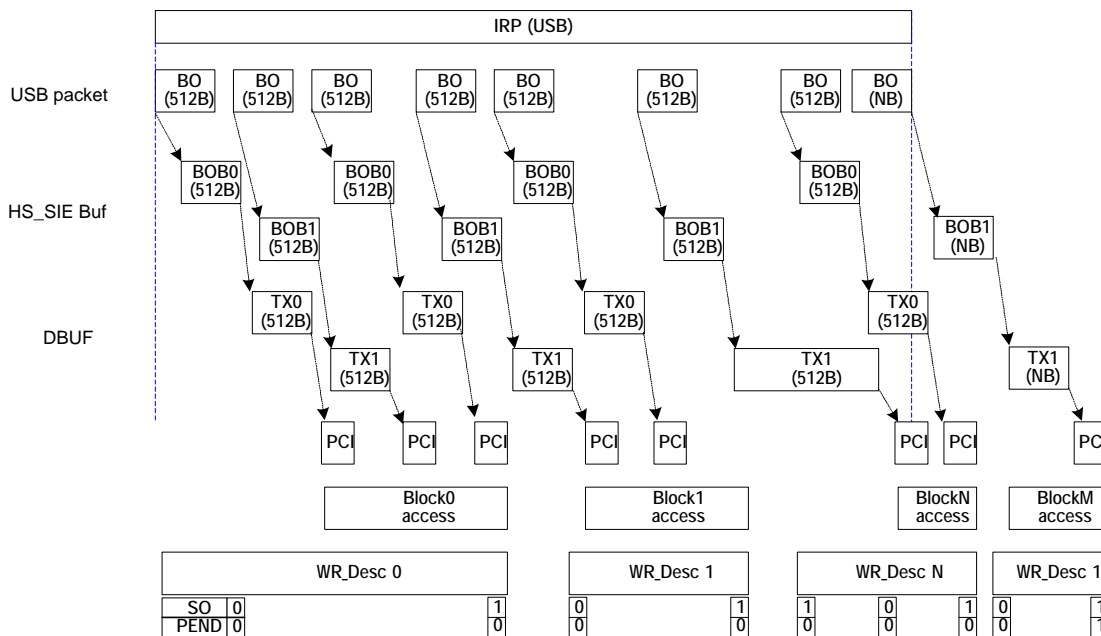
USB201IP と接続され、USB バスのコントロールを行います。512Byte のバッファを 2 面持ち、USB データをバッファリングし DBUF とデータ転送を行います。

HS チャープ、HS/FS 判定や USB の基本的なプロトコルコントロールを行います。

8. 動作タイミング

ディスクリプターモードでの Bulk Out 転送における動作タイミングを以下に示します。PEND は転送の終了を示すフラグです。SO フラグでディスクリプターの切り替えを通知し PEND で転送の終了を通知します。

図 8 Bulk Out 動作タイミング



9. 参考資料

- a. PCI Specification Rev. 2.2 by PCI SIG
- b. USB Specification Rev. 2.0 by USB IF
- c. KL5KUSB200 – USB2.0 Compliant Transceiver Chip Datasheet
Rev0.2 by Kawasaki Microelectronics, Inc.
- d. KL5BUDV002 datasheet
- e. KL5BUDV003 datasheet

KL5BUDV003 Information sheet

Rev. 0.1 8/20/2002

IHOST timing information

IHOST bus IF has 16bits bus with register access and 4-channel DMA.
 The register access mode needs only HCSN, HWRN, HRDN and HRDY for control.

DMA access is controlled with HREQ and HACK signal. Each 4-channel DMA has independent control signals.

Followings are the timing diagram of IHOST IF.

Figure 1 IHOST timing (1)
 Register write timing

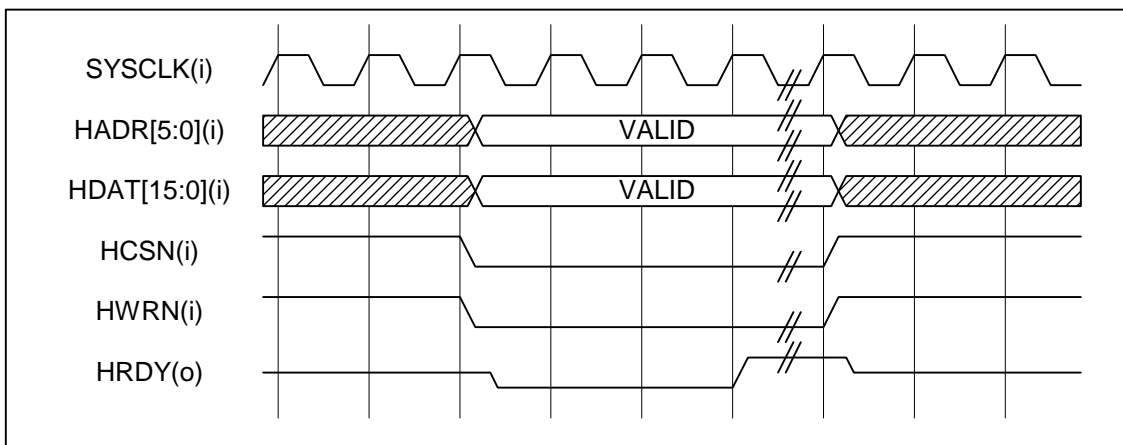


Figure 2 IHOST timing (2)
 Register read timing

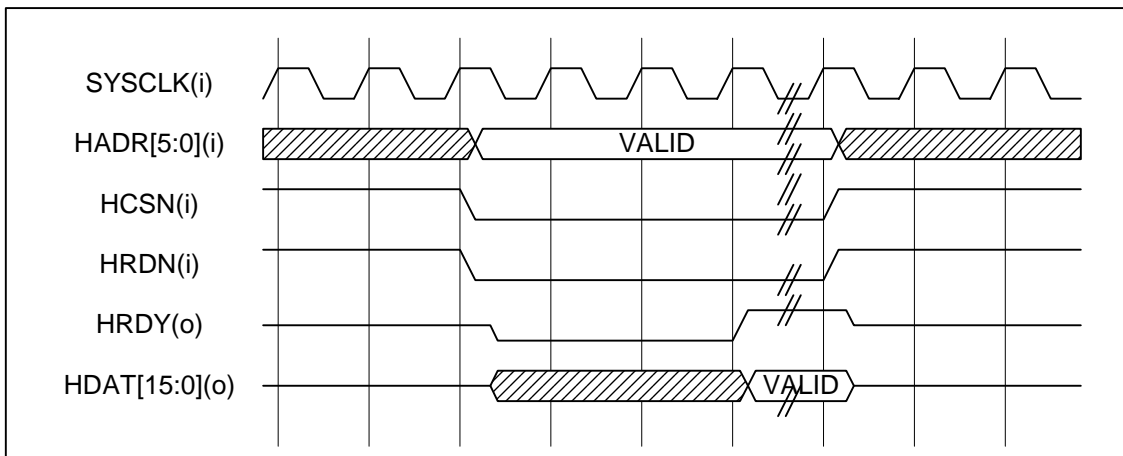


Figure 3 IHOST timing (3)
DMA read timing

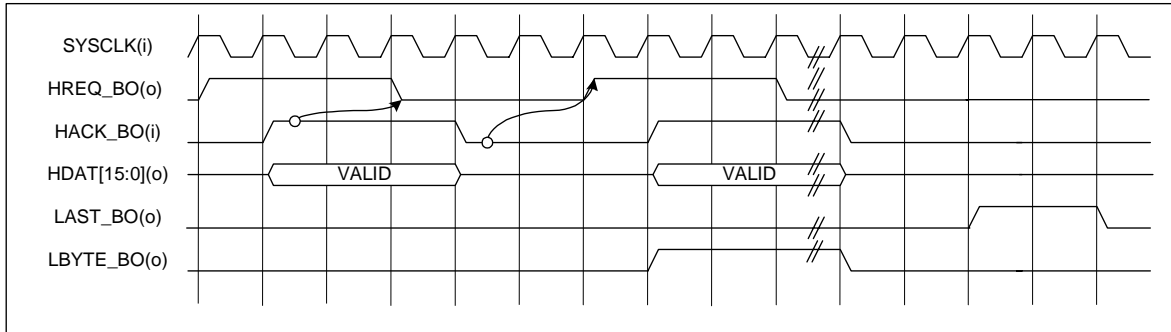


Figure 4 IHOST timing (4)
DMA write timing

