



KL5PWM4284

Pulse Width Modulator 4ch IC

Data sheet revision 1.02

川崎マイクロエレクトロニクス

KAWASAKI MICROELECTRONICS,INC

CONTENTS	
改訂履歴.....	3
本資料ご利用時の注意事項.....	3
1. 概要.....	4
2. 特長.....	4
3. 機能.....	4
4. 用途.....	4
5. 端子配列 (TOP VIEW).....	5
6. 絶対最大定格.....	6
7. 推奨動作条件.....	6
8. ブロック図.....	7
9. ピン機能.....	8
10. 機能概要.....	12
10.1 同期機能.....	12
10.2 PWM.....	12
10.2.1 初期化.....	12
10.2.2 ビット精度及びモード切り換え.....	12
10.2.3 パルス出力位置、及び出力幅の指定.....	12
10.3 理想的なパルス幅特性.....	15
10.3.1 4bit 精度時のパルス出力幅.....	15
10.3.2 5bit 精度時のパルス出力幅.....	15
10.3.3 6bit 精度時のパルス出力幅.....	16
10.4 シリアル I / F.....	18
10.4.1 シリアル I / F プロトコル.....	18
10.4.2 デイレイ量.....	19
11. タイミングチャート.....	20
11.1 PWM出力生成 タイミング.....	20
11.2 リセットに依る初期化.....	21
11.3 PLL_EN に依る初期化.....	21
11.4 PWM 出力開始時刻精度 (同期機能無効時) ..	23
11.5 シリアル I / F タイミング.....	23
11.6 PWM 出力微調整.....	23
11.7 PWM 出力波形.....	24
11.7.1 左・右・中寄せモード.....	24
11.7.2 START/END モード.....	25
11.8 インアクティブの設定.....	27
12. AC 特性 (タイミング解析結果及び当社評価ボードでの測定結果に依る).....	28
12.1 PWM 部 AC 特性.....	28
12.2 シリアル I / F 部 & PLL 部 AC 特性.....	30
12.3 AC 特性値を決定する際の電圧レベル.....	31
12.3.1 Tpd (PWM 出力開始遅延)、Ttrpd (TR からの出力開始遅延) の場合.....	31
12.3.2 その他の項目の場合.....	32
13. 使用上の注意.....	33
14. パッケージ外形図.....	35

改訂履歴

Rev.	改定日	改訂箇所	改訂内容
0.10	2002年6月7日	暫定版初版	暫定版初版発行
1.00	2002年8月29日	項目 8	ブロック図修正
1.01	2002年10月29日	P3、項目 12	「本資料ご利用時の注意事項」追記。誤記訂正。
1.02	2002年11月13日	項目 7,9, 12.3	LVDS の VREF 値変更。

本資料ご利用時の注意事項

- 1.本資料に記載された内容は製品改善等により、予告無しに変更する事があります。したがってご用命の際は、その情報が最新のものであることを必ず当社にご確認ください。
- 2.本資料に記載された製品及び情報の使用に際して、当社又は第三者の工業所有権、知的所有権及びその他の権利の行使を保証するものではなく、許諾するものでもありません。したがってこれらの使用に起因する第三者の権利侵害に対し、当社はその責任を負うものではありませんのでご了承下さい。
- 3.本資料に記載された動作・回路及びこれらに付随する情報は、本製品の標準的な動作及び使用方法を説明する為のものです。したがってこれらの情報を使用される際は、お客様の責任において回路・実装設計を行って下さいませお願い致します。これらの情報の使用に起因するお客様又は第三者の損害に対して、当社は一切責任を負う事は出来ませんのでご注意下さい。
- 4.半導体製品はその性格上、ある確率での故障発生は不可避だと考えられます。当社半導体製品が故障しても、その結果として人身事故、火災事故、社会的な損害を生じさせないように、お客様は装置の冗長性、安全性、誤動作防止に充分配慮した設計を行っていただけますようお願い致します。
- 5.本資料に記載された製品は、一般電子機器（家庭用、一般事務用、通常の産業用など）に使用されることを意図しております。特別な品質あるいは極めて高い信頼性が必要な用途（生命維持装置を含む医療機器、航空・宇宙機器、原子力制御機器、交通管制機器、安全制御機器など）にご使用の際は、必ず事前に当社にご連絡下さい。
- 6.本資料に記載された製品が「外国為替及び外国貿易管理法」に基づき規制されている貨物又は技術に該当する場合には、本製品の輸出に際し同法に基づく日本国政府の輸出許可が必要になります。
- 7.本資料に記載された内容を、当社に無断で転載又は複製することはご遠慮下さい。

Pulse Width Modulator 4ch IC

1. 概要

“KL5PWM4284”はPulse Width Modulator (PWM) を4ch搭載した回路です。
4ch独立にそれぞれ外部から入力される同期信号 (TR) に同期させてPWMの開始位置を合わせる同期機能を有しており、又入力クロックの周波数も(限定された範囲内で)4ch独立に入力可能です。

出力パルスの幅は左・右・中寄せモードとSTART・ENDモードの2つの方法により設定が可能です。
尚、分解能は、両モード(左・右・中寄せ、START・ENDモード)共に6ビットまたは5ビット精度に対応可能で、さらに出力パルスの位置を微調整させるDLY機能を有しており、これらの機能により、任意の位置に任意のパルスを高精度で出力することができます。

また、PWMの出力はLVTTTL出力の他にLVDSにより、低ノイズ、高精度で出力することが可能です。

2. 特長

電源電圧 3.3V±0.3V, 2.5V±0.2V 2電源

パッケージ LQFP144

消費電力(計算値)

- ・ 3.3V系 : 0.6W(VCLK=84MHz, 3.3V時)
- ・ 2.5V系 : 0.7W(VCLK=84MHz, 2.5V時)

入力レベル 5V耐圧

出力レベル LVTTTL、LVDS出力(PWMO)

Pulse Width Modulator (PWM)

- ・ 4bit精度時(21~42MHz) : START・ENDモード
 - ・ 4bit精度時(42~84MHz) : START・ENDモード
 - ・ 5bit精度時(42~84MHz) : 左・右・中寄せモード/START・ENDモード
 - ・ 6bit精度時(21~42MHz) : 左・右・中寄せモード/START・ENDモード
-

3. 機能

外部からの同期信号への同期有効・無効選択機能

PWM出力極性指定機能

PWM出力位置微調整機能

PWM出力のLVTTTL/LVDS切り替え機能

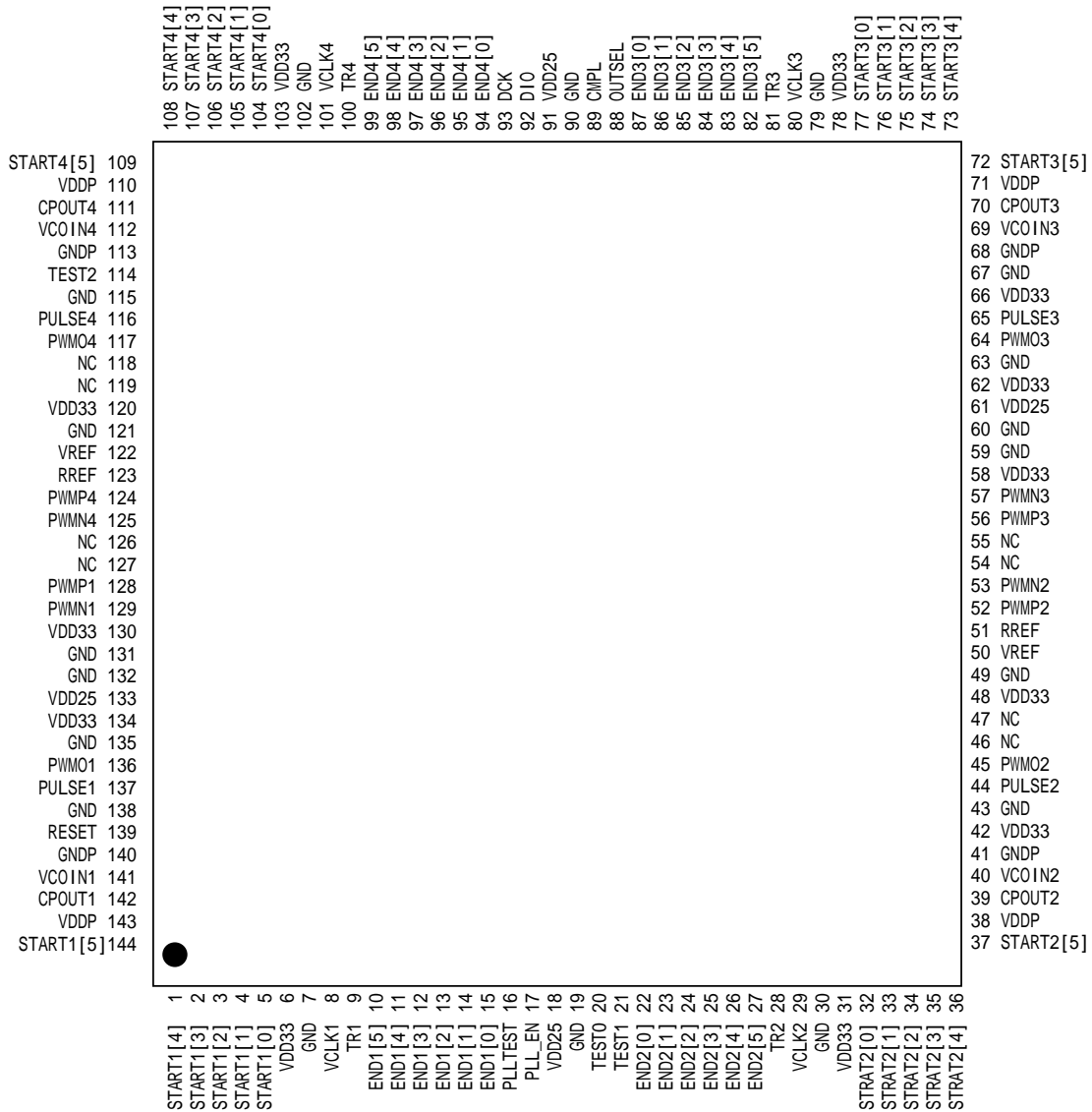
4. 用途

Color LBP

Digital Copy

Pulse Width Modulator

5. 端子配列 (Top View)

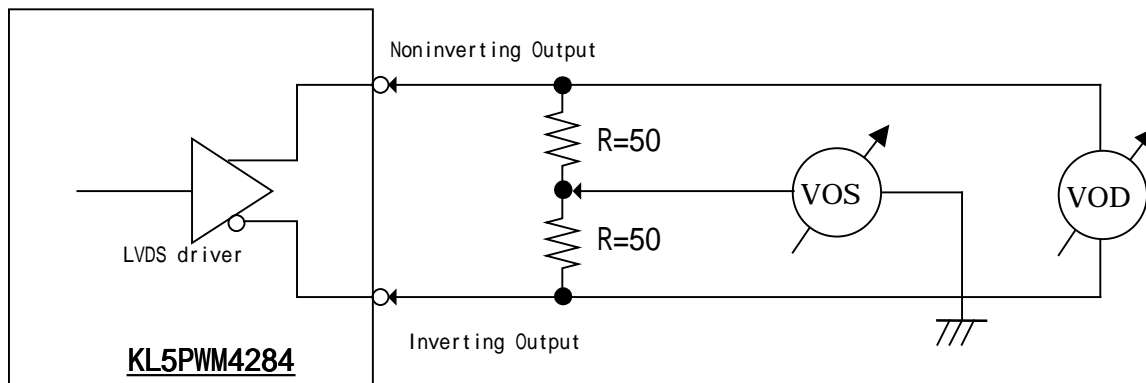


6. 絶対最大定格

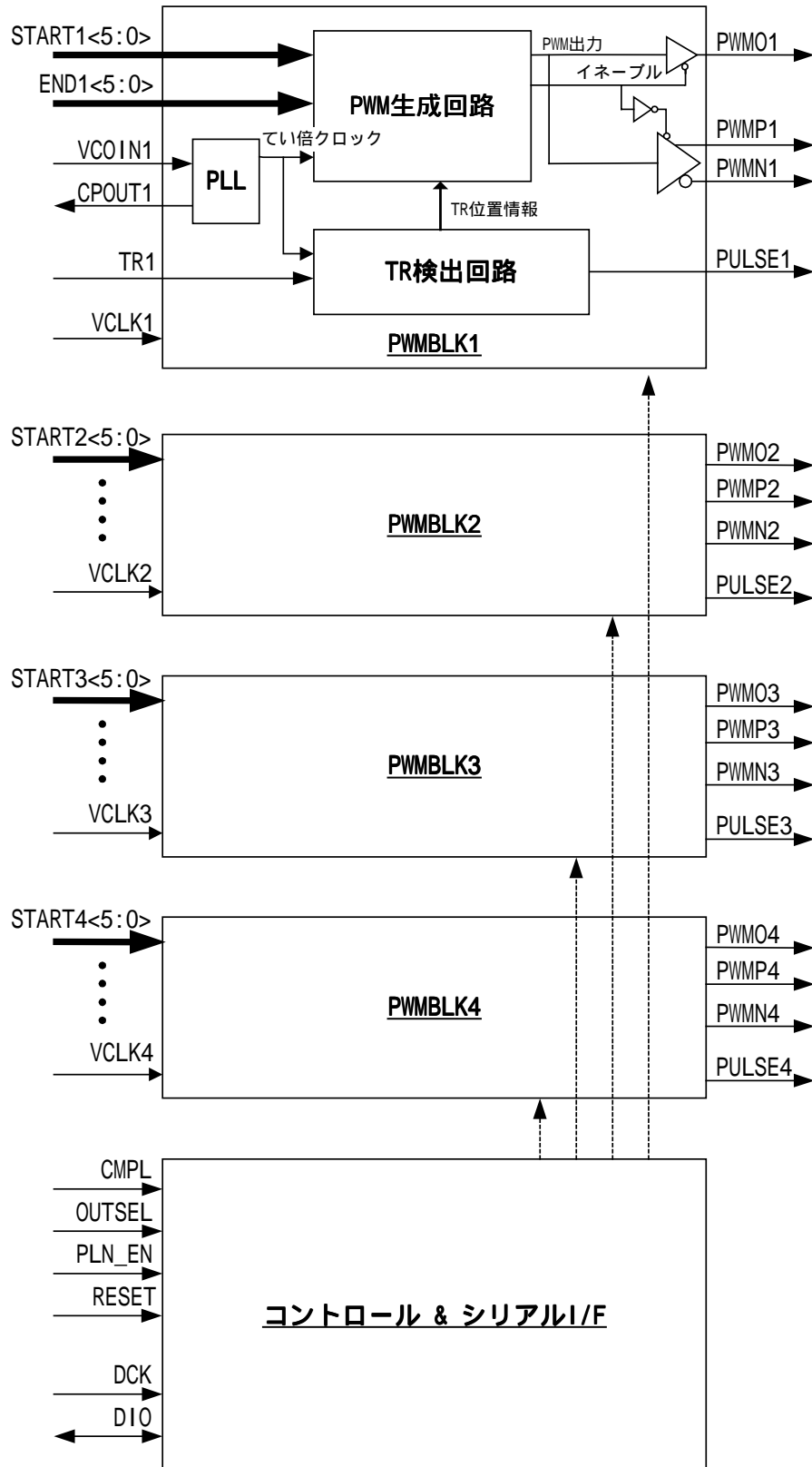
Parameter	Symbol	Ratings	Unit
Supply Voltage	VDD33	-0.3 ~ 4.0	V
	VDD25,VDDP	-0.3 ~ 3.1	V
Input Voltage	VIN(standard)	-0.3 ~ VDD33+0.3	V
	VIN(5V Tolerant)	-0.3~ 5.6	V
DC Output Current	IOUT	± 6	mA
Storage Temperature	TSTG	-55 ~ 125	

7. 推奨動作条件

Symbol	Parameter	Condition	Limits			Unit
			MIN	TYP	MAX	
VDD33	Supply voltage (3.3V)	-	3.0	3.3	3.6	V
VDD25,VDDP	Supply voltage (2.5V)		2.3	2.5	2.7	V
VIH	Input high voltage	LVTTL	2.0	-	-	V
VIL	Input low voltage	LVTTL	-	-	0.8	V
V+	Input high voltage	Schmitt	-	1.8	2.3	V
V-	Input low voltage	Schmitt	0.5	0.9	-	V
VH	Hysteresis voltage	Schmitt	0.4	-	-	V
IIH	Input high current	Vin=VDD33	-10	-	10	μA
IIL	Input low current	Vin=GND	-10	-	10	μA
VOH	Output high voltage	IOH=4mA	2.4	-	-	V
VOL	Output low voltage	IOL=4mA	-	-	0.4	V
VOH _{LVDS}	LVDS Output high voltage	下図参照。 VREF,RREF につい ては「9.ピン機能」の 項参照。		1.375	1.6	V
VOL _{LVDS}	LVDS Output low voltage		0.90	1.025		V
VOD _{LVDS}	Differential output voltage		250	350	450	mV
VOS _{LVDS}	Offset voltage		1.125	1.2	1.375	V
IREF _{LVDS}	Input reference current	VREF=1.225V ± 3%	-10	-	10	μA
Icap	Input Capacitance	+ 25	-	10	15	pF
Ta	Operating Temperature		0	-	70	



8. ブロック図



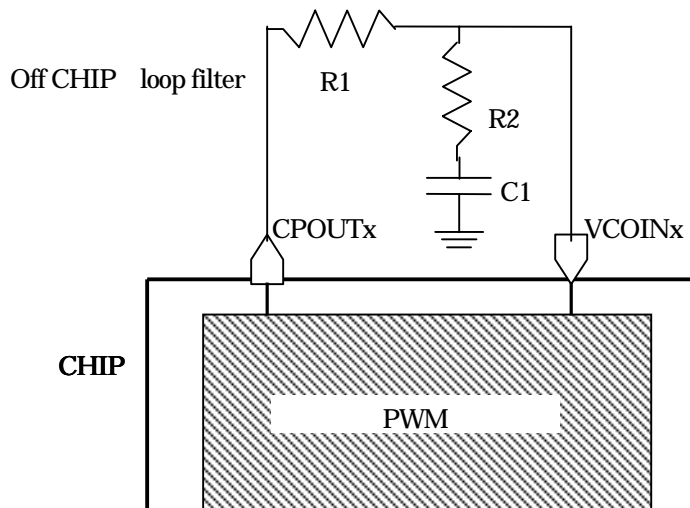
9. ピン機能

ピン No.	ピン数	信号名	I/O	機能	備考
139	1	RESET	I	チップ初期化信号 (アサートL)。	5V 耐圧・シュミット
16	1	PLLTEST	I	PLL テストモード (アサートH)。 この信号をアサートすると本 IC は PLL のテストモードに入ります。通常はL 固定でご使用下さい。	5V 耐圧
89	1	CMPL	I	PWM 出力極性を決める信号です。 ・ この信号を L に設定した時：イニシャル状態では L を、出力パルスは H を出力します。 ・ この信号を H に設定した時：イニシャル状態では H を、出力パルスは L を出力します。	5V 耐圧
88	1	OUTSEL	I	LVDS 出力と LVTTTL 出力を選択する信号です。 ・ この信号を L に設定した時：LVTTTL 出力。 ・ この信号を H に設定した時：LVDS 出力。 尚、非選択側の出力は Hi-Z 状態となります。	5V 耐圧
17	1	PLL_EN	I	PLL イネーブル信号 (アサートH)。 MODE,VSEL0,1(シリアル I/O データ)で動作モード、動作周波数を切り換える際は、一度 PLL_EN をネゲートして下さい。	5V 耐圧
92	1	DIO	I/O	シリアルデータ入出力端子	*2
93	1	DCK	I	DIO アクセス用クロック入力端子	5V 耐圧
8	1	VCLK1	I	PWM1 クロック入力	5V 耐圧
9	1	TR1	I	PWM1 同期信号入力 (アサートL)。 同期機能(TR に同期させる機能)有効時、この信号をアサートした後、一定期間の後、PWM の出力を開始します。 同期機能無効時は H 固定として下さい。	5V 耐圧 シュミット
137	1	PULSE1	O	PWM1 同期信号出力 (アサートL)。 この信号は、同期機能有効時のみ出力されます。 同期機能無効時は H レベル固定となります。	
144, 1~5	6	START1<5:0>	I	PWM1 パルス出力開始位置指定信号。 ・ START/END モード時のパルス幅出力開始位置を指定します。 4bit 精度時は[5:2]を、5bit 精度時は[5:1]を使用し、未使用 bit は無視されます。 ・ 左・右・中寄せモード時は、 START1[5]=LE1,START1[4]=RE1,START1[3:2]=WIDTH1[5:4], として PWM1 出力パルス幅の設定に使用します(第 10.2PWM の項参照)。未使用 bit は無視されます。	5V 耐圧
10~15	6	END1<5:0>	I	PWM1 パルス出力終了位置指定信号。 ・ START/END モード時にはパルス幅出力終了位置を指定します。4bit 精度時は[5:2]を、5bit 精度時は[5:1]を使用し、未使用 bit は無視されます。 ・ 左・右・中寄せモード時は、 END1[5:2]=WIDTH1[3:0],として PWM1 出力パルス幅の設定に使用します(第 10.2PWM の項参照)。未使用 bit は無視されます。	5V 耐圧
136	1	PWMO1	O	PWM1 パルス出力。	

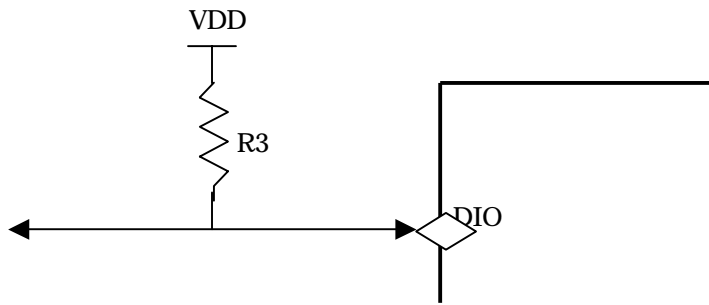
128	1	PWMP1	O	PWM1 出力 (LVDS +)	
129	1	PWMN1	O	PWM1 出力 (LVDS -)	
141	1	VCOIN1	I	PWM1,PLL ループフィルタ入力	*1
142	1	CPOUT1	O	PWM1,PLL ループフィルタ出力	*1
29	1	VCLK2	I	PWM2 クロック入力	5V 耐圧
28	1	TR2	I	PWM2 同期信号入力 (アサートL)。	5V 耐圧 シュミット
44	1	PULSE2	O	PWM2 同期信号出力 (アサートL)。	
37 ~ 32	6	START2<5:0>	I	PWM2 パルス出力開始位置指定信号。	5V 耐圧
27 ~ 22	6	END2<5:0>	I	PWM2 パルス出力終了位置指定信号。	5V 耐圧
45	1	PWMO2	O	PWM2 パルス出力。	
52	1	PWMP2	O	PWM2 出力 (LVDS +)	
53	1	PWMN2	O	PWM2 出力 (LVDS -)	
40	1	VCOIN2	I	PWM2,PLL ループフィルタ入力	*1
39	1	CPOUT2	O	PWM2,PLL ループフィルタ出力	*1
80	1	VCLK3	I	PWM3 クロック入力	5V 耐圧
81	1	TR3	I	PWM3 同期信号入力 (アサートL)。	5V 耐圧 シュミット
65	1	PULSE3	O	PWM3 同期信号出力 (アサートL)。	
72 ~ 77	6	START3<5:0>	I	PWM3 パルス出力開始位置指定信号。	5V 耐圧
82 ~ 87	6	END3<5:0>	I	PWM3 パルス出力終了位置指定信号。	5V 耐圧
64	1	PWMO3	O	PWM3 パルス出力。	
56	1	PWMP3	O	PWM3 出力 (LVDS +)	
57	1	PWMN3	O	PWM3 出力 (LVDS -)	
69	1	VCOIN3	I	PWM3,PLL ループフィルタ入力	*1
70	1	CPOUT3	O	PWM3,PLL ループフィルタ出力	*1
101	1	VCLK4	I	PWM4 クロック入力	5V 耐圧
100	1	TR4	I	PWM4 同期信号入力 (アサートL)。	5V 耐圧 シュミット
116	1	PULSE4	O	PWM4 同期信号出力 (アサートL)。	
109 ~ 104	6	START4<5:0>	I	PWM4 パルス出力開始位置指定信号。	5V 耐圧
99 ~ 94	6	END4<5:0>	I	PWM4 パルス出力終了位置指定信号。	5V 耐圧
117	1	PWMO4	O	PWM4 パルス出力。	
124	1	PWMP4	O	PWM4 出力 (LVDS +)	
125	1	PWMN4	O	PWM4 出力 (LVDS -)	
112	1	VCOIN4	I	PWM4,PLL ループフィルタ入力	*1
111	1	CPOUT4	O	PWM4,PLL ループフィルタ出力	*1

6,31,42,62,66,78, 103,134, 48,58,120,130	12	VDD33	P	3.3V ± 0.3V	
18,61,91,133	4	VDD25	P	2.5V ± 0.2V	
7,19,30,43,60,63,67,79,90, 102,115,132,135,138, 49, 59,121,131	18	GND	G	Ground	
38,71,110,143	4	VDDP	P	2.5V ± 0.2V PLL 専用 VDD	
41,68,113,140	4	GNDP	G	PLL 専用 GND	
50,122	2	VREF	I	1.225V ± 3%。LVDS リファレンス電圧 入力ピン。	
51,123	2	RREF	O	リファレンス・レジスタ接続ピン。 このピンを 3.9k ± 1%の抵抗に接続 して下さい。抵抗のもう一方の端子は GND に接続して下さい。	*3
20	1	TEST0	I	テスト時専用入力ピン。通常 L に固定 して下さい。	5V 耐圧
21	1	TEST1	I	テスト時専用入力ピン。通常 L に固定 して下さい。	5V 耐圧
114	1	TEST2	I	テスト時専用入力ピン。通常 L に固定 して下さい。	5V 耐圧

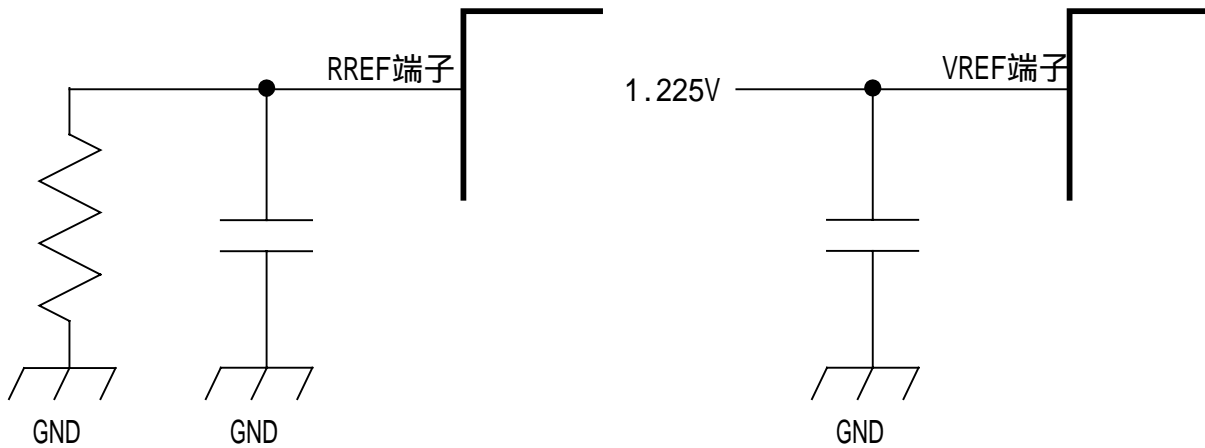
*1)外付けループフィルタ図 & 接続イメージ図



*2)DIO 外付け Pull Up イメージ図



3)RREF、VREF端子処理イメージ図



パラメータ	推奨値	個数	備考
R1	5.1K	4	カーボン抵抗 (±5%精度以内)
R2	75	4	カーボン抵抗 (±5%精度以内)
R3	-	1	指定なし
R4	3.9K	2	金属皮膜抵抗 (±1%精度以内)
C1	0.01 μF	4	積層セラミックコンデンサ (-20%~+80%精度以内)
C2,C3	0.1 μF	4	積層セラミックコンデンサ (-20%~+80%精度以内)

10 . 機能概要

10.1 同期機能

同期機能が有効な場合、同期信号(TRx)の立下り()から PWMOx 開始位置までの時間が一定となるように、自動的に PWMOx 出力開始位置が調節されます。(第 11.1PWM 出力生成タイミングの項、図 1 参照)

一方、同期機能を無効にした場合は、PWMOx 出力開始は、VCLKx 立ち上がり()から一定時間後となります。(同、図 2 参照)

なお、パルスデータ入力(STARTx,ENDx)は、同期機能の有効/無効に関係なく、常に VCLKx 立ち上がり()に同期して取り込まれます。

10.2 PWM

10.2.1 初期化

RESET をアサートすると PWM 回路は初期化され、PWMOx はインアクティブ出力となります。(PWMOx のアクティブ/インアクティブの極性は CMPL 信号によって決定されます。)

尚、この時 STARTx[5:0]及び ENDX[5:0]は必ず 00(h)にして下さい。

10.2.2 ビット精度及びモード切り換え

PWMは 4bit 精度(21 ~ 42MHz, 42 ~ 84MHz)、5bit 精度(42 ~ 84MHz)、6bit 精度 (21 ~ 42MHz)のいずれかで動作します。又、左・右・中寄せモードと START/END モードの二種類のモードを有しております。ご使用になるモード、精度に合わせて MODE、VSEL0,1 を切り換えてください(第 10.4 シリアル I/F の項参照)。

尚、MODE、VSEL0,1 を切り換える場合は、PLL_EN を一度ネゲートして下さい。PLL_EN がネゲートされている期間の PWM は強制的にインアクティブ状態になります。

10.2.3 パルス出力位置、及び出力幅の指定

左・右・中寄せモードと START/END モードとで、パルス幅の設定方法が異なります。

「9.ピン機能」の項で記しました START/END モード時のパルス幅出力の開始 / 終了位置を指定する STARTx[5:0]及び ENDx[5:0]信号を、左・右・中寄せモード時は下記対応表に記した信号名称として以下に、解説します。

START/END モード	左・右・中寄せ モード	START/END モード	左・右・中寄せ モード
STARTx[5]	LEx	ENDx[5]	WIDTHx[3]
STARTx[4]	REx	ENDx[4]	WIDTHx[2]
STARTx[3]	WIDTHx[5]	ENDx[3]	WIDTHx[1]
STARTx[2]	WIDTHx[4]	ENDx[2]	WIDTHx[0]
STARTx[1]	未使用	ENDx[1]	未使用
STARTx[0]	未使用	ENDx[0]	未使用

左・右・中寄せモード

このモードの時は、5bit 精度(42~84MHz)、6bit 精度 (21~42MHz)が対応します。4bit 精度は対応しておりません。

出力パルスの出力位置を右寄せ、左寄せ、センターのいずれかに指定することができます。

LEx	REx	Function(CMPL=Lの時)
0	0	センター
0	1	右寄せ
1	0	左寄せ
1	1	All "1"出力

PWM 出力のパルス幅は WIDTHx の上位 5bit ないし 6bit により設定され、“0”から最大の All“1”まで設定可能です。5bit 精度時、WIDTHx[0]の入力は無視されます。

又、5bit 精度のセンター・モード時は、WIDTHx[5:1]で設定された値が奇数の場合、センターから左側が+1となります。

尚、PWM0x の出力パルス幅が、LVTTL 出力を選択した場合に 4ns 以下、LVDS 出力を選択した場合に 2.5ns 以下、になるような WIDTHx を設定した場合、そのパルス幅の保証はできません。

同様に PWM0x 出力のインアクティブ期間が、LVTTL 出力を選択した場合に 4ns 以下、LVDS 出力を選択した場合に 2.5ns 以下、になるような WIDTHx を設定した場合、そのパルス幅の保証はできません。

START/END モード

このモードの時は、4bit 精度(21~42MHz, 42~84MHz)、5bit 精度(42~84MHz)、6bit 精度 (21~42MHz)全てが対応しております。

STARTx[5:0] (出力パルスのスタート位置)と ENDx[5:0] (出力パルスのエンド位置)の二つのパラメータを設定することにより、パルス出力の位置と幅を指定することができます。

4bit 精度		
STARTx[5:2]	ENDx[5:2]	Function(CMPL=Lの時)
STARTx[5:2] > ENDx[5:2]		All "0"出力
STARTx[5:2] ≤ ENDx[5:2]		STARTx[5:2]の位置から ENDx[5:2] - STARTx[5:2] + 1 LSBの期間に"1"出力。
STARTx[5:2]=0(h) ENDx[5:2]=F(h)		All "1"出力
STARTx[1:0]、ENDx[1:0]の入力は無視されます。		

5bit 精度		
STARTx[5:1]	ENDx[5:1]	Function(CMPL=Lの時)
STARTx[5:1] > ENDx[5:1]		All "0"出力
STARTx[5:1] ≤ ENDx[5:1]		STARTx[5:1]の位置から ENDx[5:1] - STARTx[5:1] + 1 LSBの期間に"1"出力。
STARTx[5:1]=00(h) ENDx[5:1]=1F(h)		All "1"出力
STARTx[0]、ENDx[0]の入力は無視されます。		

6bit 精度		
STARTx[5:0]	ENDx[5:0]	Function (CMPL=Lの時)
STARTx[5:0] > ENDx[5:0]		All "0"出力
STARTx[5:0] ENDx[5:0]		STARTx[5:0]の位置から ENDx[5:0] - STARTx[5:0] + 1 LSBの期間に"1"出力。
STARTx[5:0]=00(h) ENDx[5:0]=3F(h)		All "1"出力

PWM 出力の出力位置及びパルス幅は STARTx[5:0] (Start 位置) と ENDx[5:0] (End 位置) の上位 4bit,5bit ないし 6bit により設定され、“0”から最大の All"1”まで設定可能です。

尚、LVTTL 出力を選択した場合に 4ns 以下、LVDS 出力を選択した場合に 2.5ns 以下、になるような STARTx[5:0], ENDx[5:0]を設定した場合、そのパルス幅の保証はできません。

同様に PWM0x 出力のインアクティブ期間が、LVTTL 出力を選択した場合に 4ns 以下、LVDS 出力を選択した場合に 2.5ns 以下、になるような STARTx[5:0], ENDx[5:0]を設定した場合、そのパルス幅の保証はできません。

尚、各モードにおける VCLK に対するパルス出力の相対的な位置関係につきましては「11.7.PWM 出力波形」の項をご参照ください。

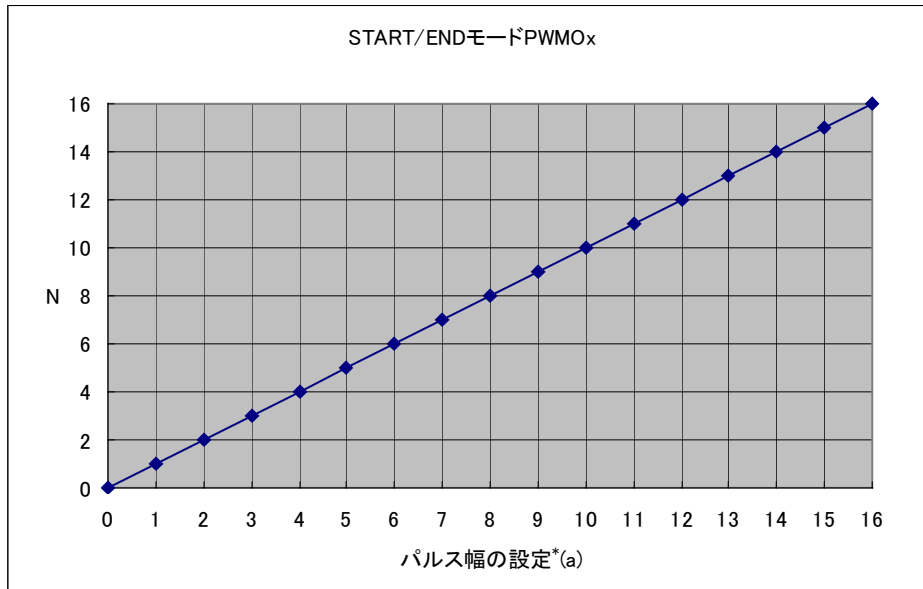
CMPL = H の時は、出力パルスの極性が全て反転します。START/END モード(4bit 精度)の例を下記に示します。

4bit 精度		
STARTx[5:2]	ENDx[5:2]	Function(CMPL=Hの時)
STARTx[5:2] > ENDx[5:2]		All "1"出力
STARTx[5:2] ENDx[5:2]		STARTx[5:2]の位置から ENDx[5:2] - STARTx[5:2] + 1 LSBの期間に"0"出力。
STARTx[5:2]=0(h) ENDx[5:2]=F(h)		All "0"出力
STARTx[1:0]、ENDx[1:0]の入力は無視されます。		

10.3 理想的なパルス幅特性

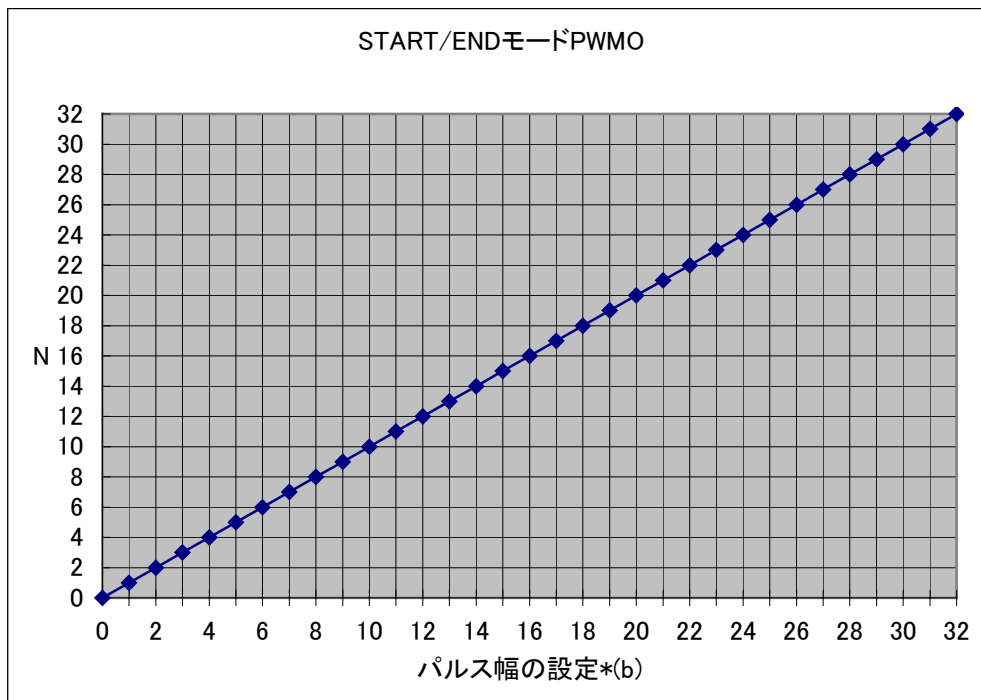
前述の方法により実際に設定されたパルス幅の理想的な特性を以下 10.3.1.1 ~ 7 のグラフに示します。尚、実際のパルス幅の精度につきましては、「12.AC 特性」をご参照下さい。

10.3.1 4bit 精度時のパルス出力幅

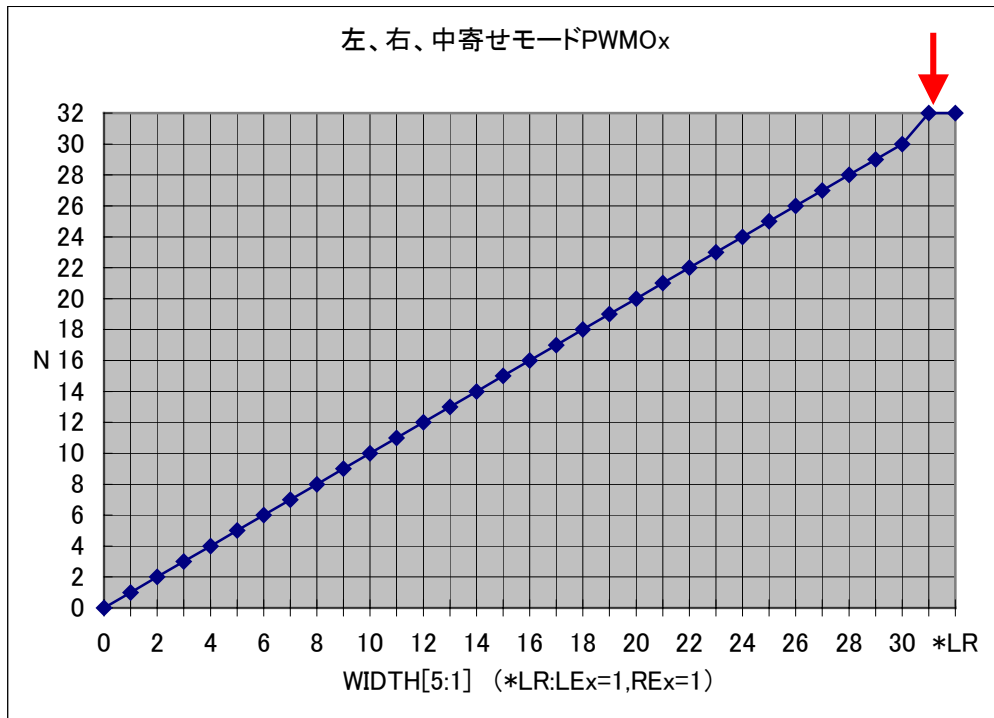


グラフ中のパルス幅の設定*(a)は $STARTx[5:2]$ の位置から $ENDx[5:2] - STARTx[5:2] + 1LSB$ で設定されます。尚、 $STARTx[5:2] > ENDx[5:2]$ の時はパルス幅の設定は”0”となります。出力パルス幅は、 $N \times 1/16VCLK$ となります。

10.3.2 5bit 精度時のパルス出力幅



グラフ中のパルス幅の設定*(b)は $STARTx[5:1]$ の位置から $ENDx[5:1] - STARTx[5:1] + 1LSB$ で設定されます。尚、 $STARTx[5:1] > ENDx[5:1]$ の時はパルス幅の設定は”0”となります。出力パルス幅は、 $N \times 1/32VCLK$ となります。

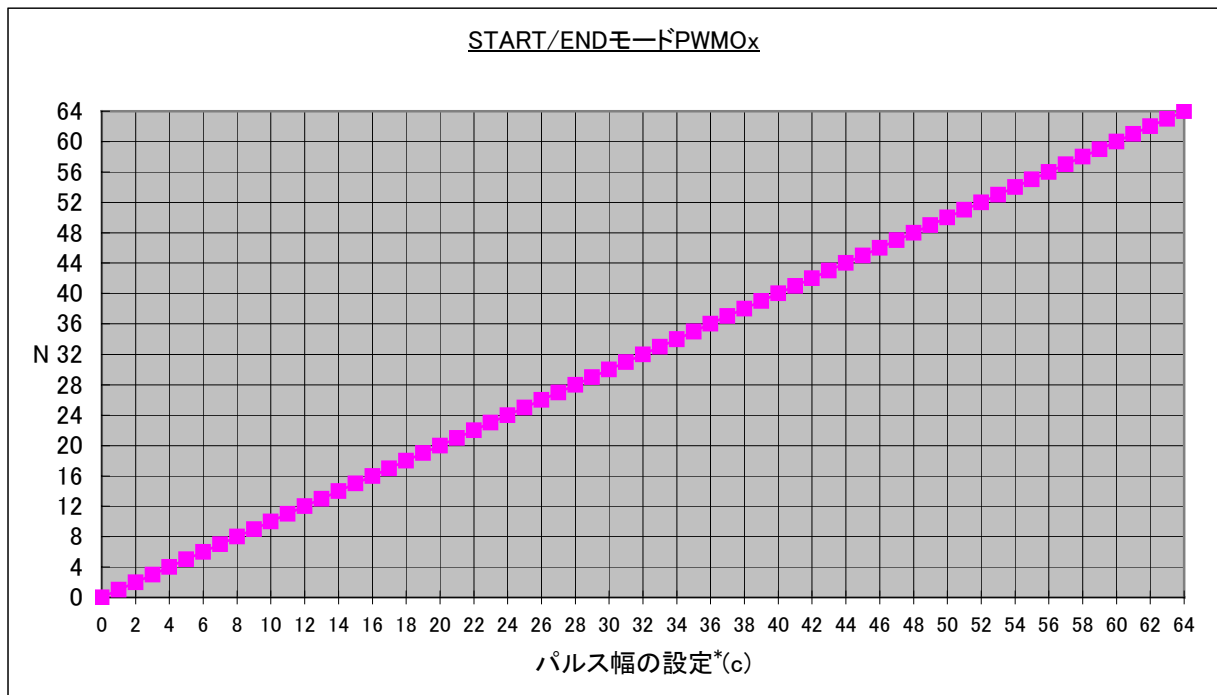


左、右、中寄せモード時は、WIDTH[5:1]で設定された値がそのままパルス幅の指定に反映されます。従って、パルス幅は $N \times 1/32VCLK$ となります。但し、WIDTH[5:1]=31(d)の時のみ、N=32 となりパルス幅は $32 \times 1/32VCLK$ (つまり $CMP_L=L$ の時は All"1")となります。グラフ中の矢印(↓)をご参照下さい。

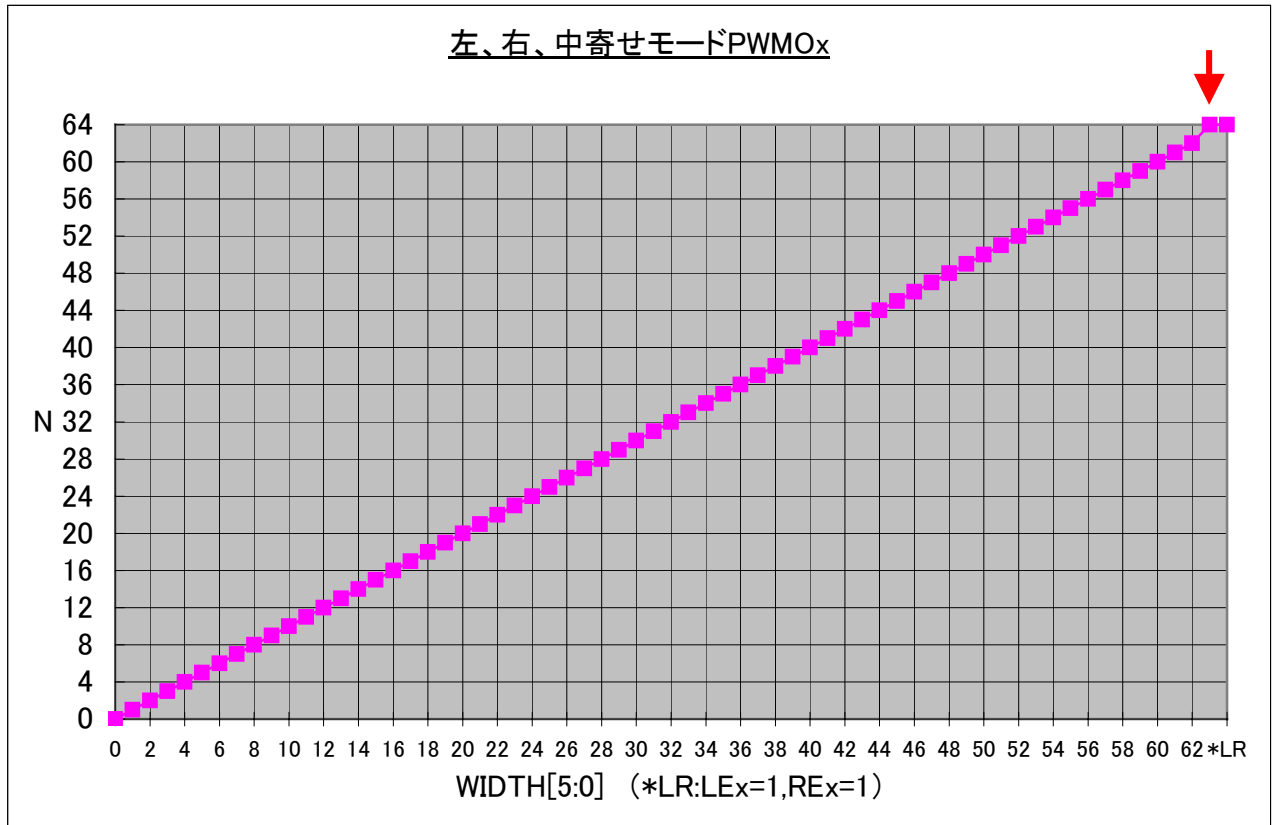
又、中寄せモード時で WIDTH[5:1]で設定された値が奇数の場合、左側が+1となります。例えば WIDTH[5:1]=3 の場合はセンター中心に左2、右1となります。

尚、LE_x、RE_x が両方 1 に設定されますと WIDTH[5:1]の設定値に関わらずパルス幅は $32 \times 1/32VCLK$ となります。

10.3.3 6bit 精度時のパルス出力幅



グラフ中のパルス幅の設定*(c)は $START_x[5:0]$ の位置から $END_x[5:0] - START_x[5:0] + 1LSB$ で設定されます。尚、 $START_x[5:0] > END_x[5:0]$ の時はパルス幅の設定は"0"となります。出力パルス幅は、 $N \times 1/64VCLK$ となります。



左、右、中寄せモード時は、WIDTH[5:0]で設定された値がそのままパルス幅の指定に反映されます。従って、パルス幅は $N \times 1/64VCLK$ となります。但し、WIDTH[5:1]=63(d)の時のみ、N=64となりパルス幅は $64 \times 1/64VCLK$ (つまりCMPL=Lの時)は All"1"となります。グラフ中の矢印(↓)をご参照下さい。

又、中寄せモード時で WIDTH[5:0]で設定された値が奇数の場合、左側が+1となります。例えば WIDTH[5:0]=3 の場合はセンター中心に左2、右1となります。

尚、LE_x,RE_x が両方 1 に設定されますと WIDTH[5:0]の設定値に関わらずパルス幅は $64 \times 1/64VCLK$ となります。

10.4 シリアルI / F

PWM 出力位置微調整のコンフィグレーションデータの設定は、シリアルI/F を介して行います。コンフィグレーションデータは以下の通りです。

項目	機能
DLYx[3:0]	1/8 ドット刻みで 0/8~15/8 ドットの範囲で PWM の遅延を設定。初期値は 00(h)。
MODE	START・END モードと左・右・中寄せモードのどちらを使用するのか選択。このデータの内容を変更する際は、必ず PLL_EN を一度ネゲートして下さい。 <ul style="list-style-type: none"> ・ L に設定した時：左・右・中寄せモード。 ・ H に設定した時：START・END モード。 尚、「MODE」を L に設定(左・右・中寄せモード)し「VSEL[1:0]」を 10 又は 11 に設定(4bit 精度)に設定した場合は正常に動作致しません。 初期値は 0(b)。
VSEL[1:0]	周波数レンジ及び bit 精度を選択。このデータの内容を変更する際は、必ず PLL_EN を一度ネゲートして下さい。 00：5bit 精度(42 ~ 84MHz)、01：6bit 精度(21 ~ 42MHz) 10：4bit 精度(21 ~ 42MHz)、11：4bit 精度(42 ~ 84MHz) 初期値は 00(b)。
SYNC_EN	PWM の同期機能(TR に同期させる機能)のイネーブル/ディセーブルを決定する信号です。 <ul style="list-style-type: none"> ・ L に設定した時：同期機能無効。 ・ H に設定した時：同期機能有効。 初期値は 0(b)。

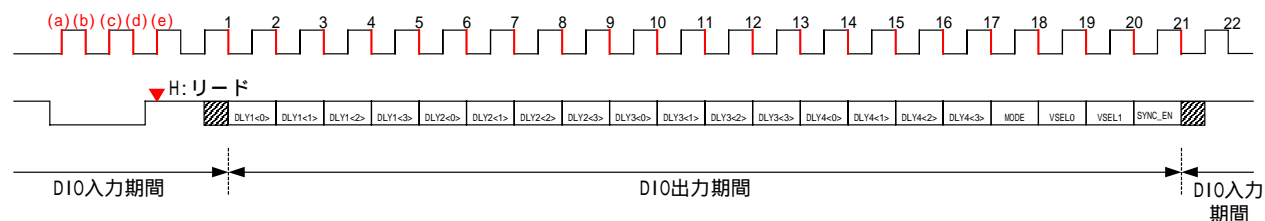
10.4.1 シリアルI / F プロトコル

下記のタイミングチャートのようにデータ (DIO) の "L" を、DCK の立ち上がりから両エッジで連続 4 回検出した時点での転送開始となります。リードとライトの判定は、次の DCK の立ち上がりエッジ()で、DIO = "H" の場合はリード、DIO = "L" の場合はライトとなります。

リード・モード

リード時は、リード・モードと判定した DCK の立ち上がり(図中(e))から 1.5DCK 後の DCK の立下り(図中 No1)より、以下に示す様に DLY1 の LSB から順にコンフィグレーションデータが DIO より DCK の立下り()に同期して出力されます。尚、図中 No22 に示す DCK 入力でリード・モードは終了します。又、図中の斜線で示す期間は、外部からのドライブ禁止期間です。

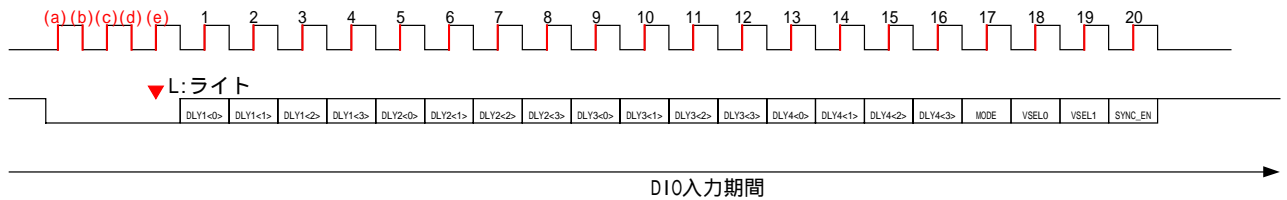
リードデータ順：DLY1<0:3>, DLY2<0:3>, DLY3<0:3>, DLY4<0:3>, MODE, VSEL<0:1>, SYNC_EN



ライト・モード

ライト時は、ライト・モードと判定した DCK の立ち上がり(図中(e))から 0.5DCK 後の DCK の立下りより、以下に示す様に DLY1 の LSB からにコンフィグレーションデータを DIO に与えてください。
尚、図中 No20 に示す DCK 入力でライト・モードは終了します。

ライトデータ順 : DLY1<0:3> , DLY2<0:3>,DLY3<0:3>,DLY4<0:3>, MODE, VSEL<0:1>, SYNC_EN



10.4.2 デイレイ量

出力パルスの位置を微調整させることができます。本機能により、1/8Tclock 単位で 0/8~15/8Tclock の範囲で任意の位置にパルスを遅延出力することができます。初期値は 00(h)です。(11.6 PWM 出力微調整 参照)

DLY1 : PWM1 のデイレイ量
DLY2 : PWM2 のデイレイ量
DLY3 : PWM3 のデイレイ量
DLY4 : PWM4 のデイレイ量

DLY1<3:0> ~ DLY4<3:0>	Delay 量
0000b	0
0001b	1/8
0010b	2/8
0011b	3/8
0100b	4/8
0101b	5/8
0110b	6/8
0111b	7/8
1000b	8/8
1001b	9/8
1010b	10/8
1011b	11/8
1100b	12/8
1101b	13/8
1110b	14/8
1111b	15/8

11 タイミングチャート

11.1 PWM出力生成 タイミング

同期機能が有効のとき 同期信号入力から一定時間後に出力。図1

同期機能が無効のとき 外部クロックに同期して出力。図2

<動作波形>

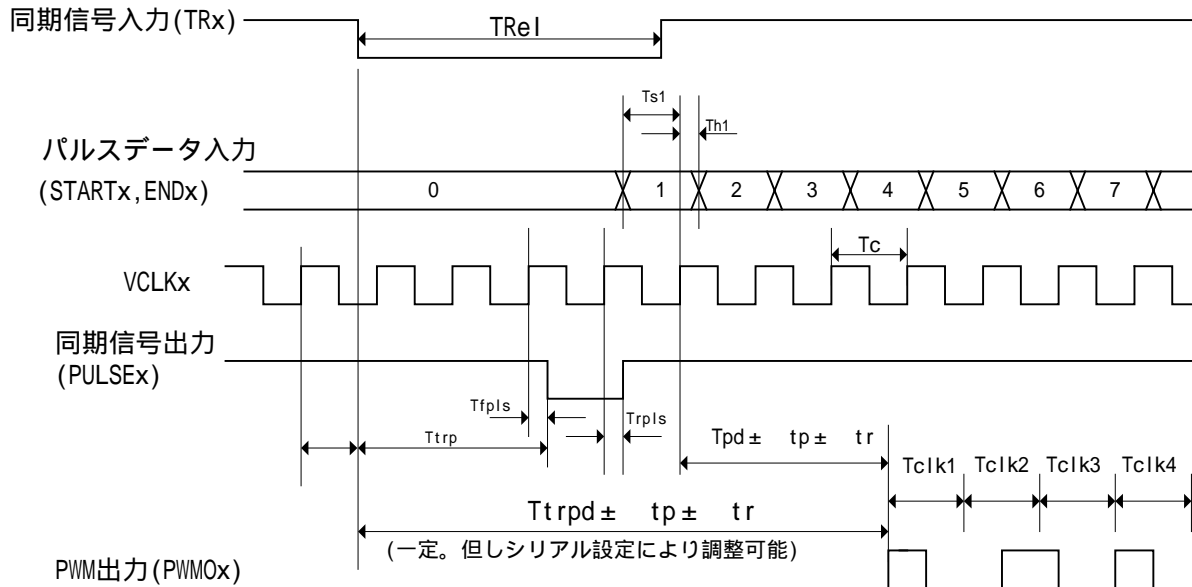


図1 同期機能 有効時の動作波形

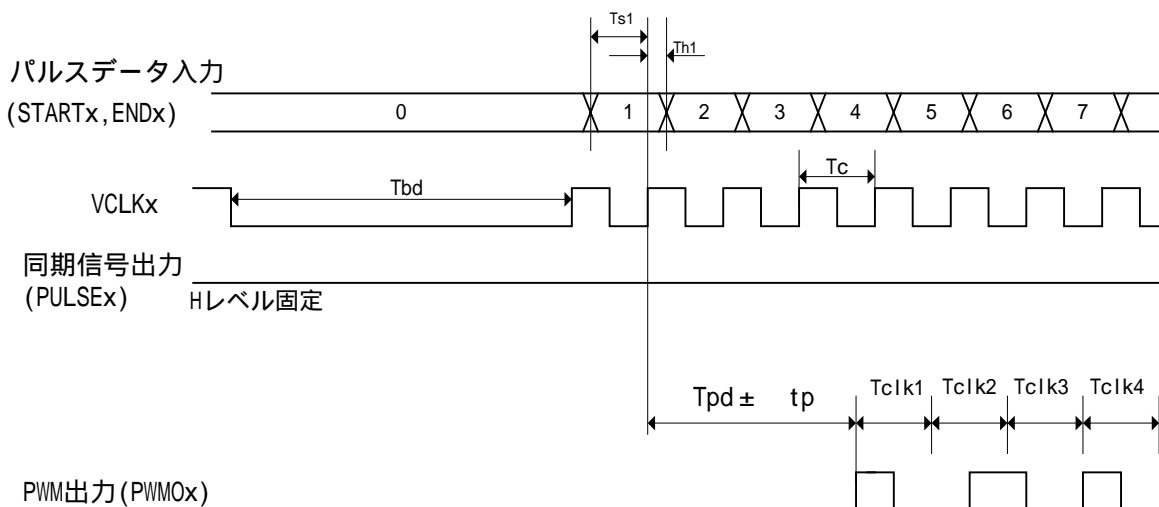
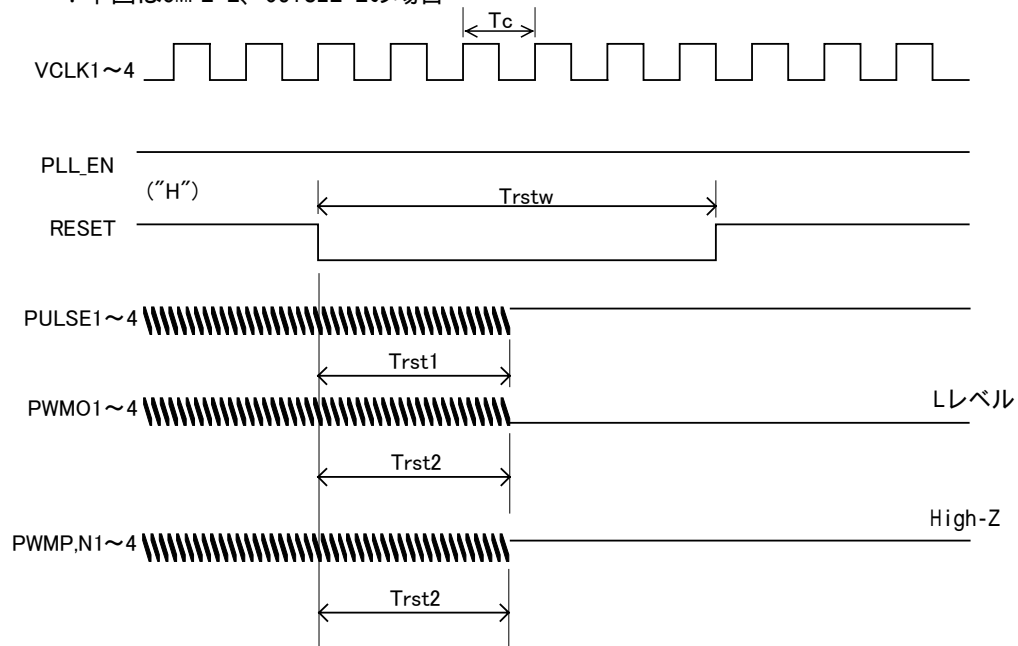


図2 同期機能 無効時の動作波形

11.2 リセットに依る初期化

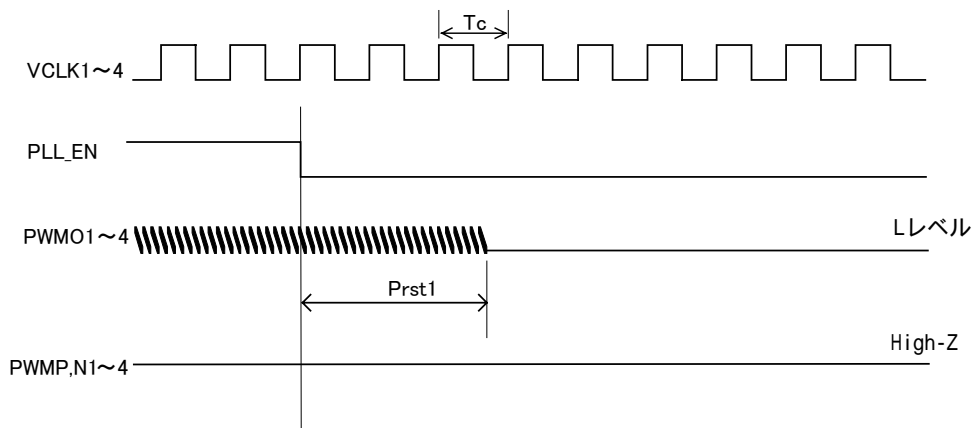
: 下図はCMPL=L、OUTSEL=Lの場合



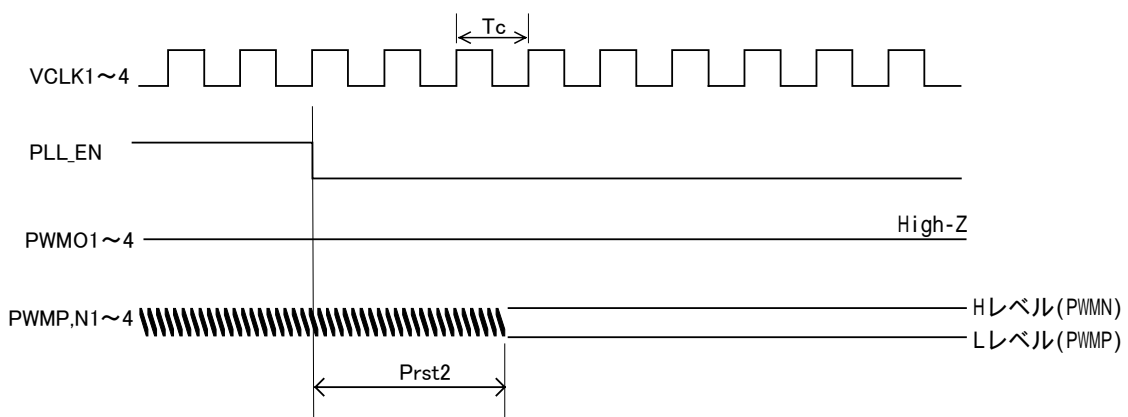
11.3 PLL_EN に依る初期化

11.3-1-1 PLL_EN 立下り時

: 下図はCMPL=L、OUTSEL=Lの場合

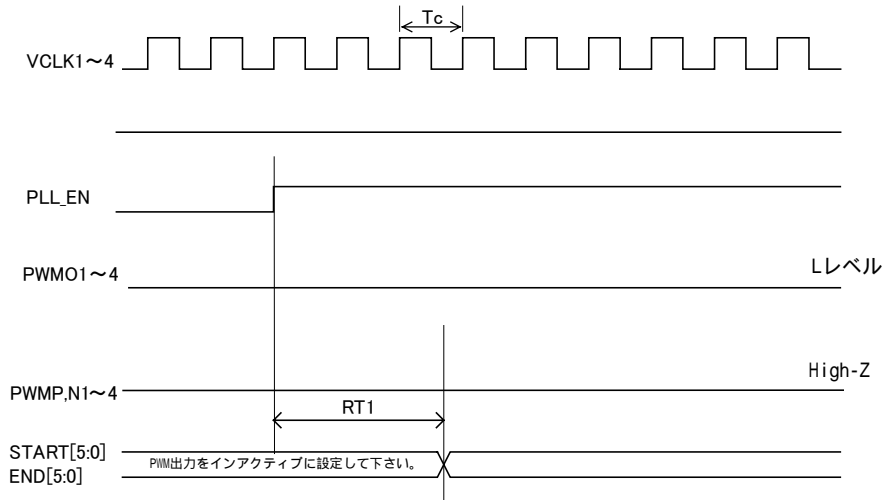


: 下図はCMPL=L、OUTSEL=Hの場合

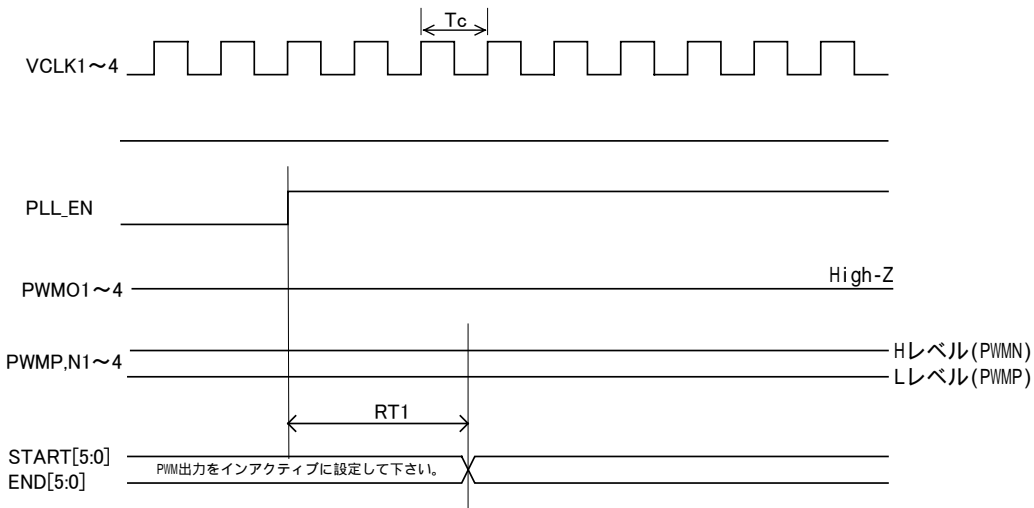


11.3-1-2 PLL_EN 立上がり時

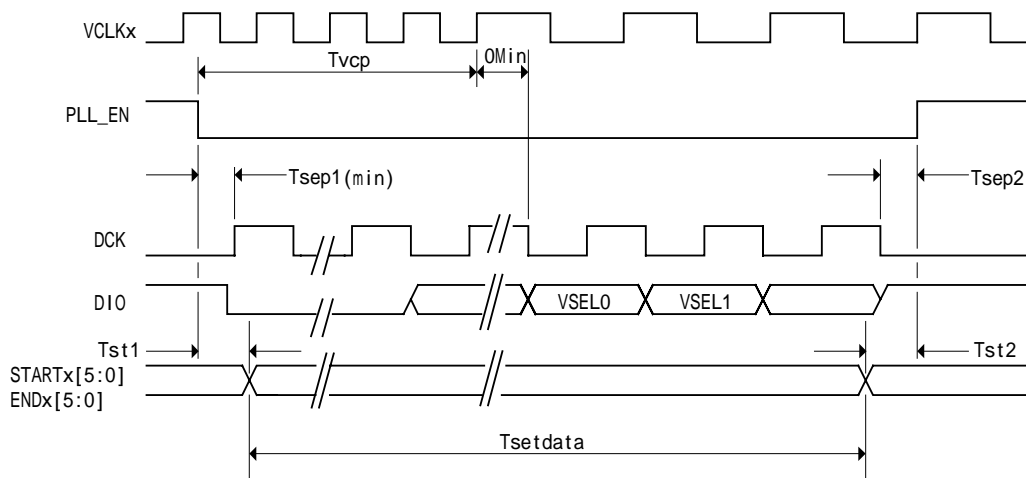
: 下図はCMPL=L、OUTSEL=Lの場合



: 下図はCMPL=L、OUTSEL=Hの場合

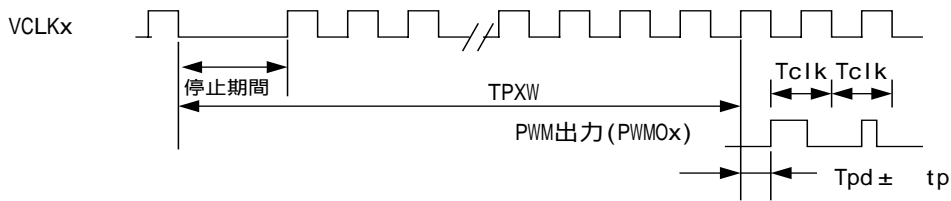


11.3-2 PLL_EN の入力タイミング

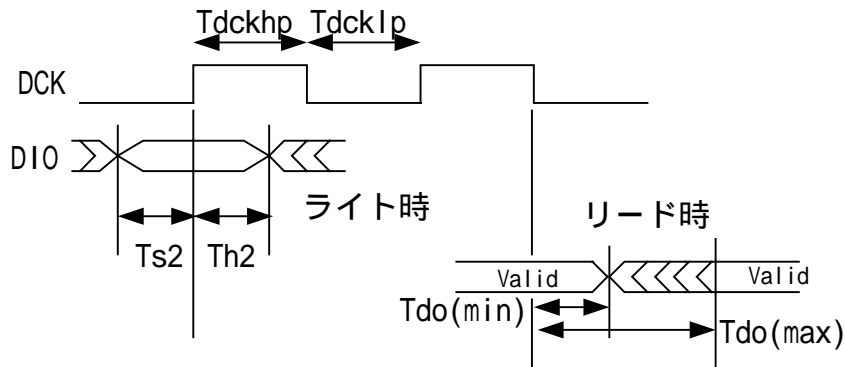


Tsetdata: MODE変更時に、PWM出力をインアクティブ状態に維持する為の START[5:0]及びEND[5:0]の変更は、この期間に行ってください。

11.4 PWM 出力開始時刻精度 (同期機能無効時)

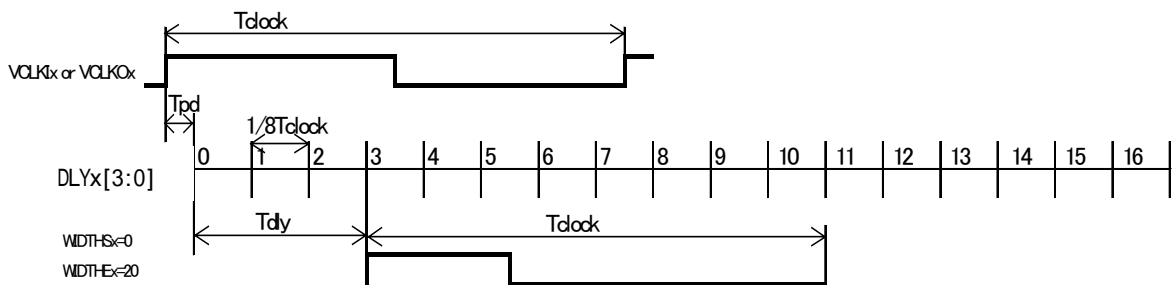


11.5 シリアル I / F タイミング



11.6 PWM 出力微調整

PWM 出力開始位置を 0 ~ 15 まで、1/8 Tclock 単位で微調整できます。



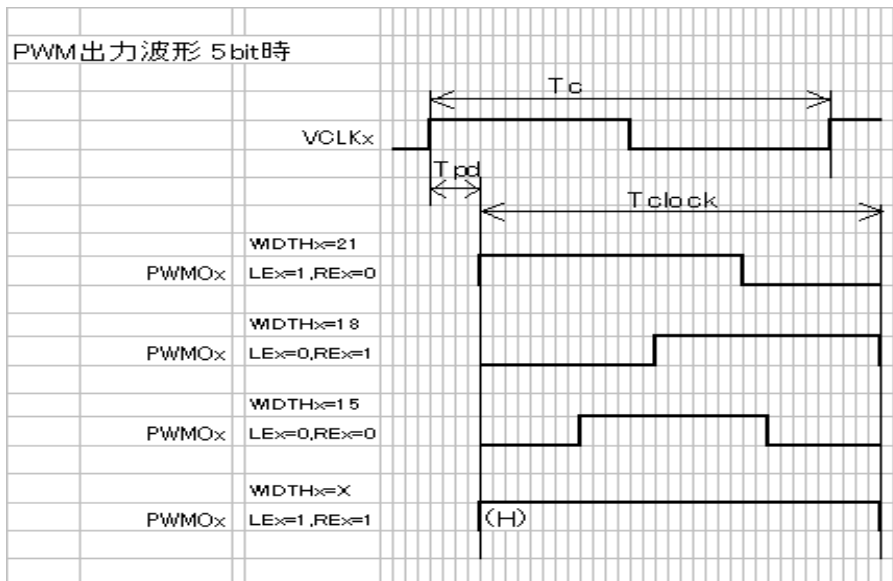
PWM出力位置調整設定がDLY="3"時(3/8)の例

11.7 PWM 出力波形

11.7.1 左・右・中寄せモード

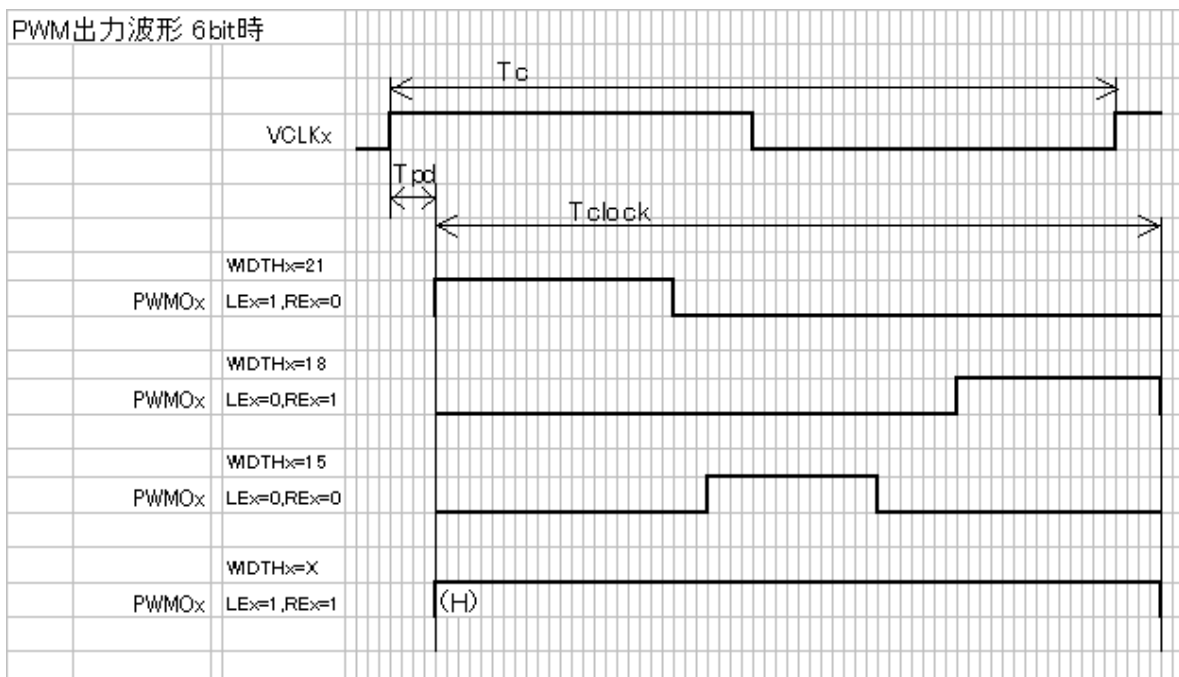
11.7.1.1 5bit 精度 (WIDTHx[5:1])

REx, LEx で指定された位置に WIDTHx[5:1] で指定された期間、“H” (COMPL=L の時) を出力する。



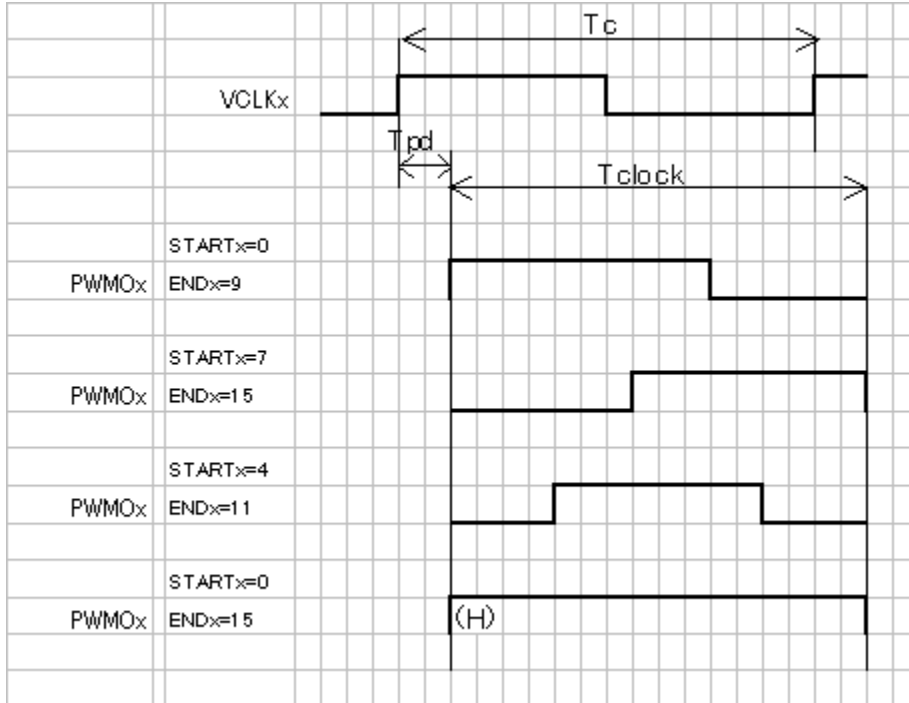
11.7.1.2 6bit 精度 (WIDTHx[5:0])

REx, LEx で指定された位置に WIDTHx[5:0] で指定された期間、“H” (COMPL=L の時) を出力する。



11.7.2 START/END モード

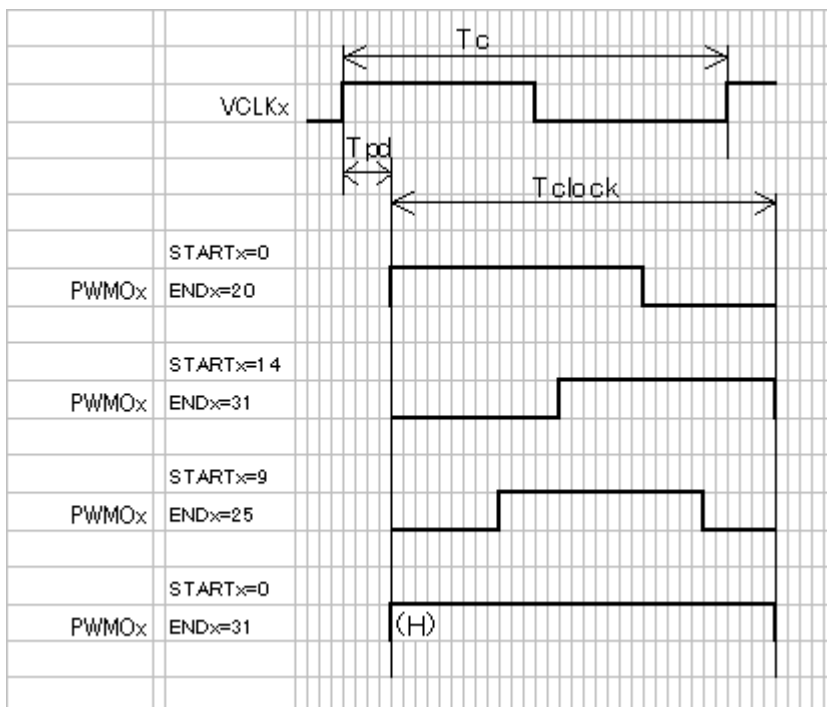
11.7.2.1 4bit 精度 (START [5:2], END [5:2])



START[5:2] から END[5:2]で指定された位置に、“H” (COMPL=Lの時)を出力する。

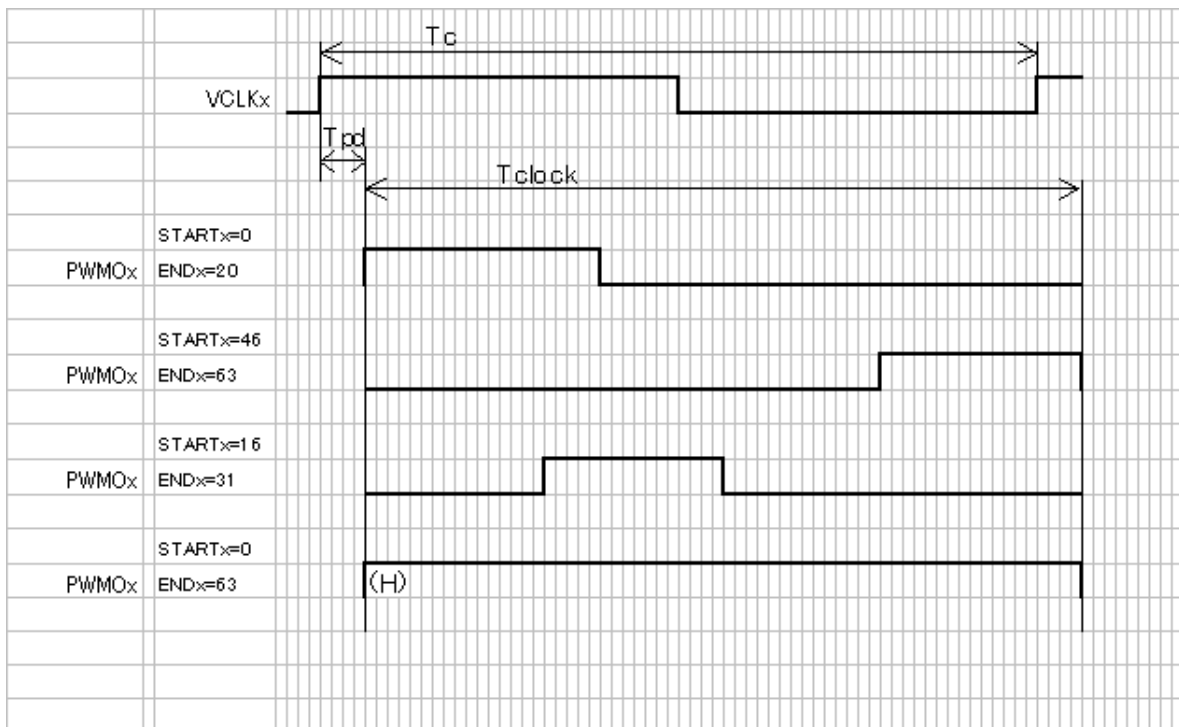
11.7.2.2 5bit 精度 (START [5:1], END [5:1])

START[5:1] から END[5:1]で指定された位置に、“H” (COMPL=Lの時)を出力する。



11.7.2.3 6bit 精度 (START [5:0], END [5:0])

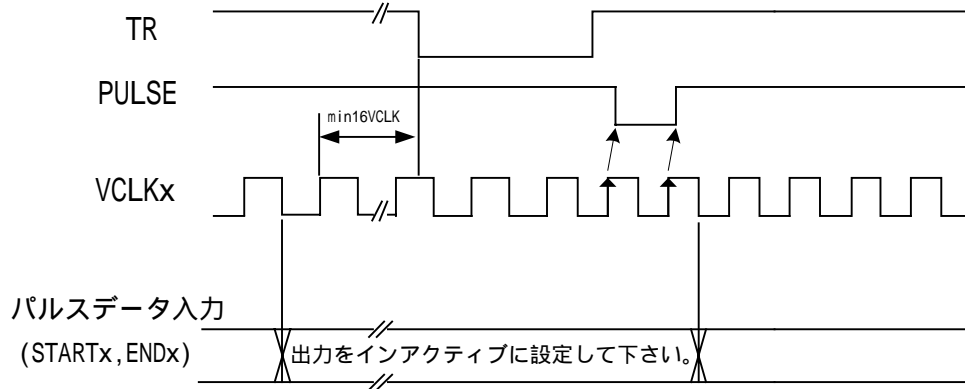
START[5:0] から END[5:0]で指定された位置に、“H” (COMPL=Lの時)を出力する。



11.8 インアクティブの設定

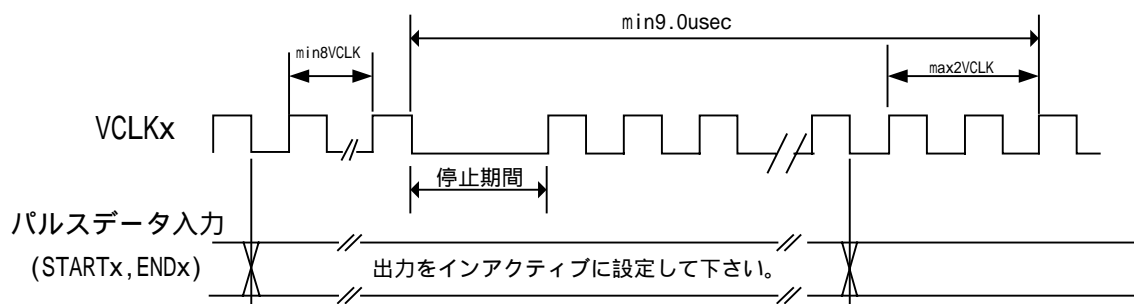
同期機能有効時

下記に示した TR 信号の立下り前から PULSE 信号出力後までの期間は必ず PWM0 出力はインアクティブ状態に設定して下さい。



同期機能無効時

下記に示した VCLK 停止の前後の期間は必ず PWM0 出力はインアクティブ状態に設定して下さい。



12.AC特性(タイミング解析結果及び当社評価ボードでの測定結果に依る)

12.1 PWM部 AC特性

記号	項目	Min [nsec]	Typ [nsec]	Max [nsec]		
Tc	VCLKx 周期	11.9 (84MHz 時)		47.6 (21MHz 時)		
	VCLKx Duty	30%		70%		
Tclock	PWM 出力周期		Tc			
Tbd	VCLKx 停止期間 *4)	21 ~ 42MHz 時		262 (5.5Tclock)		
		42 ~ 84MHz 時		250 (10.5Tclock)		
TRel	TR 信号 L 期間	Tc				
TPXW	PWM 出力不安定期間 (同期機能なし) (*4)			9.0usec		
PWM 出力(LVTTL)						
Tpd	PWM 出力開始遅延 (同期機能なし)	4bit 精度	21 ~ 42MHz	Typ - 3.0	(2+17/32)Tclock+ 4.2	Typ + 3.0
			42 ~ 84MHz	Typ - 3.0	(2+9/16)Tclock+ 4.5	Typ + 3.0
		5bit 精度		Typ - 3.0	(2+9/16)Tclock+ 4.5	Typ + 3.0
		6bit 精度		Typ - 3.0	(2+17/32)Tclock+ 4.2	Typ + 3.0
	PWM 出力開始遅延 (同期機能あり) (*11)	4bit 精度	21 ~ 42MHz	Typ - 4.2+	(2+17/32)Tclock+ 6.8+	Typ + 4.2+
			42 ~ 84MHz	Typ - 4.2+	(2+9/16)Tclock+ 7.1+	Typ + 4.2+
		5bit 精度		Typ - 4.2+	(2+9/16)Tclock+ 7.1+	Typ + 4.2+
		6bit 精度		Typ - 4.2+	(2+17/32) Tclock+ 6.8+	Typ + 4.2+
Ttrpd	TR からの出力開始遅延 (同期機能あり)	4bit 精度	21 ~ 42MHz	Typ - 4.2	(7+17/32)Tclock+ 4.9	Typ + 4.2
			42 ~ 84MHz	Typ - 4.2	(7+9/16)Tclock+ 4.5	Typ + 4.2
		5bit 精度		Typ - 4.2	(7+9/16)Tclock+ 4.5	Typ + 4.2
		6bit 精度		Typ - 4.2	(7+17/32) Tclock+ 4.9	Typ + 4.2
tp	PWM 出力開始時刻精度 (同期機能なし) *5)				± 0.5	
	PWM 出力開始時刻精度 (同期機能あり) *5)				± 0.5	
tr	TR 入力位置の判別 精度	4bit 精度	42MHz 時	-0.3/16 Tclock	+1.3/16 Tclock	
			84MHz 時	-0.6/16 Tclock	+1.6/16 Tclock	
		5bit 精度 (84MHz 時)		-1.1/32 Tclock	+3.1/32 Tclock	
		6bit 精度 (42MHz 時)		-1.1/64 Tclock	+3.1/64 Tclock	
Tpwm4	PWM 出力パルス幅精度 (4bit 精度時) *8)	21 ~ 33MHz			± 0.4 LSB	
		33 ~ 42MHz			± 0.5 LSB	
		42 ~ 66MHz			± 0.7 LSB	
		66 ~ 84MHz			± 0.9 LSB	
Tpwm5	PWM 出力パルス幅精度 (5bit 精度時) *8)	42 ~ 66MHz			± 1.4 LSB	
		66 ~ 84MHz			± 1.7 LSB	
Tpwm6	PWM 出力パルス幅精度 (6bit 精度時) *8)	21 ~ 33MHz			± 1.4 LSB	
		33 ~ 42MHz			± 1.7 LSB	
Tdly	PWM 出力開始位置微調 整時 精度	4bit 精度			1/8 Tclock × k *9)	
		5bit 精度			1/8 Tclock × k *9)	
		6bit 精度			1/8 Tclock × k *9)	

PWM 出力(LVDS)						
Tpd	PWM 出力開始遅延 (同期機能なし)	4bit 精度	21~42MHz	Typ - 2.9	(2+17/32)Tclock+2.5	Typ + 2.9
			42~84MHz	Typ - 2.9	(2+9/16)Tclock+ 3.5	Typ + 2.9
		5bit 精度		Typ - 2.9	(2+9/16)Tclock+ 3.5	Typ + 2.9
		6bit 精度		Typ - 2.9	(2+17/32)Tclock+ 2.5	Typ + 2.9
	PWM 出力開始遅延 (同期機能あり) (*11)	4bit 精度	21~42MHz	Typ - 4.2+	(2+17/32)Tclock+ 5.1+	Typ + 4.2+
			42~84MHz	Typ - 4.2+	(2+9/16)Tclock+ 6.1+	Typ + 4.2+
5bit 精度		Typ - 4.2+	(2+9/16)Tclock+ 6.1+	Typ + 4.2+		
6bit 精度		Typ - 4.2+	(2+17/32)Tclock+ 5.1+	Typ + 4.2+		
Ttrpd	TR からの出力開始遅延 (同期機能あり)	4bit 精度	21~42MHz	Typ - 4.2	(7+17/32)Tclock+ 3.0	Typ + 4.2
			42~84MHz	Typ - 4.2	(7+9/16)Tclock+ 3.5	Typ + 4.2
		5bit 精度		Typ - 4.2	(7+9/16)Tclock+ 3.5	Typ + 4.2
		6bit 精度		Typ - 4.2	(7+9/16)Tclock+ 3.0	Typ + 4.2
tp	PWM 出力開始時刻精度 (同期機能なし) *5)					± 0.5
	PWM 出力開始時刻精度 (同期機能あり) *5)					± 0.5
tr	TR 入力位置の判別 精度	4bit 精度	42MHz 時	-0.3/16 Tclock		+1.3/16 Tclock
			84MHz 時	-0.6/16 Tclock		+1.6/16 Tclock
		5bit 精度(84MHz 時)		-1.1/32 Tclock		+3.1/32 Tclock
		6bit 精度(42MHz 時)		-1.1/64 Tclock		+3.1/64 Tclock
Tpwm4	PWM 出力パルス幅精度 (4bit 精度時) *8)	21~33MHz				± 0.4 LSB
		33~42MHz				± 0.5 LSB
		42~66MHz				± 0.7 LSB
		66~84MHz				± 0.9 LSB
Tpwm5	PWM 出力パルス幅精度 (5bit 精度時) *8)	42~66MHz				± 1.4 LSB
		66~84MHz				± 1.7 LSB
Tpwm6	PWM 出力パルス幅精度 (6bit 精度時) *8)	21~33MHz				± 1.4 LSB
		33~42MHz				± 1.7 LSB
Tdly	PWM 出力開始位置微調 整時 精度	4bit 精度			1/8 Tclock × k *9)	
		5bit 精度			1/8 Tclock × k *9)	
		6bit 精度			1/8 Tclock × k *9)	
Ts1	Pulse 幅制御信号 Setup 時間(VCLKx)			1		
Th1	Pulse 幅制御信号 Hold 時間(VCLKx)			2		
Tfpls	同期出力(PULSE)立下り遅延(to VCLK Setup) (*10)			1		5
Trpls	同期出力(PULSE)立ち上がり遅延(to VCLK Hold) (*10)			1		5
Ttrp	TRx 立下りから PULSEx 出力遅延			2VCLKx		3VCLKx+10
Tvcp	PLL_EN ネゲートから VCLKx 切り替え期間			1VCLKx		
Tsep1	PLL_EN ネゲートから DCK(立ち上がり)入力開始			1VCLKx		
Tsep2	DCK(立ち下がり)から PLL_EN アサ - ト開始			1VCLKx		
Tst1	PLL_EN ネゲートから START/END データ変更開始			2VCLKx		
Tst2	START/END データ変更から PLL_EN アサ - ト開始			2VCLKx		
Trstw	RESET パルス幅			100		
Trst1,2	RESET 初期化時間					100
Prst1,2	PLL_EN 初期化時間					100

12.2 シリアルI / F部&PLL部 AC特性

記号	項目	Min [nsec]	Typ [nsec]	Max [nsec]
Tdcklp	DCK Low パルス最小期間	50		
Tdckhp	DCK High パルス最小期間	50		
Tdo	DIO 出力時間 *6)	4		14
Ts2	PWM 出力微調整制御信号 Setup 時間	1		
Th2	PWM 出力微調整制御信号 Hold 時間	1		
RT1	PLL ロックタイム			2msec

*4) VCLKx 停止期間中に外部 Loop filter の放電がないレベルを想定しています。

*5) 一定電圧及び一定温度時のジッタ

*6) DIO 外部負荷容量 50pF 時

*7) PWM_EN アサート時、VCLKI の入力安定していること

*8) PWMx 外部負荷容量 10pF 時。

*9) k=0,1,2,3,4,5,6,7,8,9,10,11,12,13,14,15 =DLYx<3:0>

*10) PULSEx 外部負荷容量 10pF 時。

*11) はVCLKの立ち上がり()エッジ2.0VからTRの立下り()エッジ0.5Vまでの時間

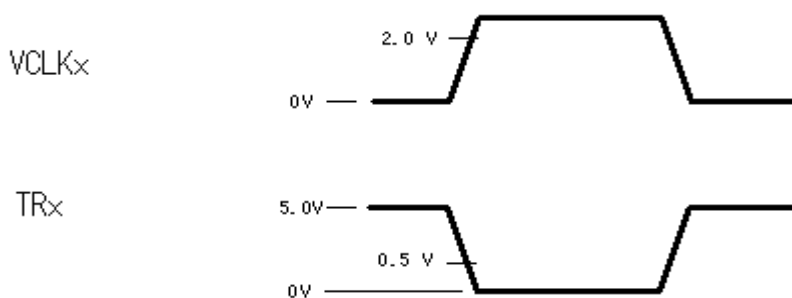
12.3 AC 特性値を決定する際の電圧レベル

前述 12.1~2 記載の「AC 特性」の項に記載されております各特性値につきましては、当社で実施いたしましたタイミング解析及び当社評価ボードでの測定結果を基に総合的に決定しております。その際に各特性値を決定する、信号の電圧レベルを以下にまとめました。

12.3.1 Tpd (PWM 出力開始遅延)、Ttrpd(TR からの出力開始遅延)の場合

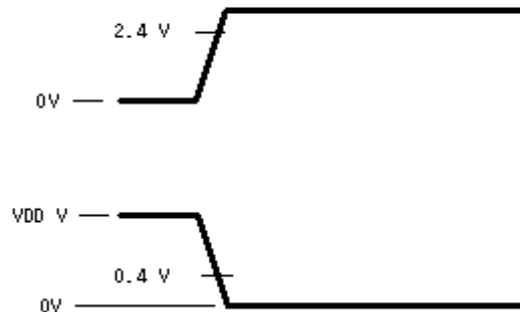
例えば非同期モードの Tpd (VCLK 立ち上がり()エッジからの PWM 出力開始遅延)は、VCLK の立ち上がり()エッジ 2.0V のポイントから PWM0 出力(LVTTL)の立ち上がり()エッジ 2.4V(CMPL=L 時)及び立下り()エッジ 0.4V(CMPL=H 時)、までの時間をそれぞれ定義しております。

入力信号レベルの定義

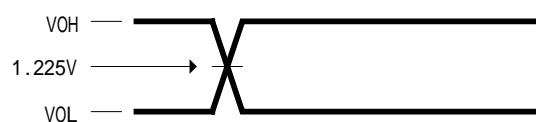


出力信号レベルの定義

LVTTLの場合

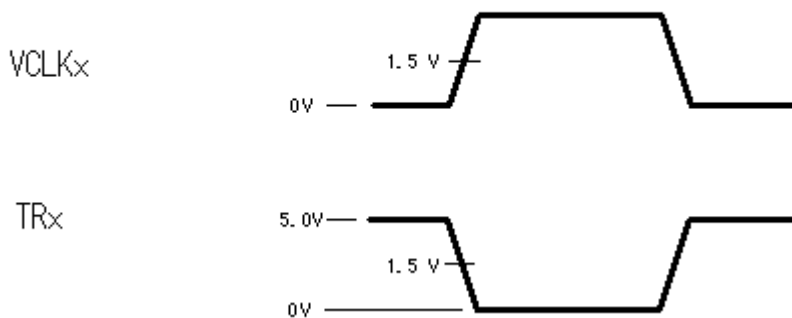


LVDS出力(PWMN/Px)の場合

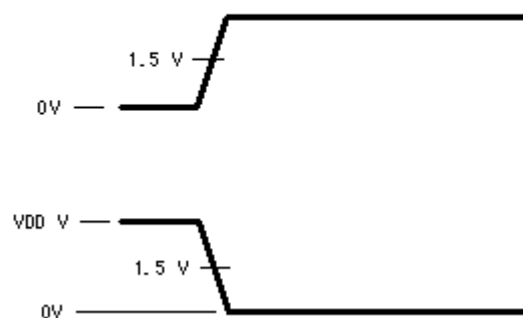


12.3.2 その他の項目の場合

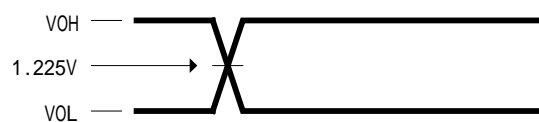
前記 12.3.1 「T_{pd} (PWM 出力開始遅延)、T_{trpd}(TR からの出力開始遅延)の場合」以外の全ての項目につきましては、以下の図に示した様に LVTTTL の入出力については 1.5V を定義しております。尚、LVDS 出力につきましては 12.3.1 同様に 1.2V を定義しております。

入力信号レベルの定義出力信号レベルの定義

LVTTTLの場合



LVDS出力(PWMN/Px)の場合



13. 使用上の注意

システムの電源投入時には、電源電圧とクロック入力信号が安定した後に、PLL_EN 信号をアサートしなければなりません。そのようにならない場合、基準信号と比較すべきリファレンス信号を見失い、発振動作してしまいます。

PLL_EN から動作が安定するまでに 2ms 必要です。

TR 信号の L レベル入力上の注意事項

1) TR 信号の L レベルは、電源電圧とクロック入力信号が安定した後に入力して下さい。

この制約事項が実施できなかった場合、TR 信号の立下りエッジを検出できず同期機能が正常に動作しない場合があります。但し電源電圧とクロック入力安定後に入力される TR の、二回目の L レベル入力からは正常に動作致します。

2) VCLK の周波数レンジ切り替え時 (PLL_EN がネゲート(L)の期間) は、TR 信号の L レベル入力は行わないで下さい。どうしても入力せざるを得ない場合は、TR 信号の立下りの前後 20VCLK の間は、VCLK の周波数レンジ切り替えは行わないで下さい。

この制約事項が実施できなかった場合、上記(1)同様に同期機能が正常に動作しない場合があります。但し VCLK の周波数を切り替え後さらに 20VCLK 後に入力される TR の、二回目の L レベル入力からは正常に動作致します。

多層基板を用いベタグランドになるように、グランドのパターンはできるだけ広くしてください。

IC の電源端子は、それぞれのピンに極力近い位置に 0.01uF 以上のセラミックチップコンデンサで設置してください。

入出力特性インピーダンスのマッチングをきちんと調整してお使いください。

ループフィルタ (外付け) は最短距離で置くように設計してください。

LVDS ドライバ信号に関するボード設計上の注意

1. 注意すべき項目

- ・ 特性インピーダンスのマッチング
- ・ 差動信号間のバランス
- ・ ノイズ/クロストーク

2. ボード設計の制約

1) 基板パターン

- ・ 特性インピーダンスを、ディファレンシャル 100 とする。
- ・ 差動信号の配線長を等しく、かつ、平行配線とする。また、両者を極力近く配線する。
- ・ 配線を 90 度曲げない。曲げる場合は 45 度とする。
- ・ LSI-コネクタ間の配線長を極力短くする。
- ・ Via を極力使わない。
- ・ ノイズ源 (TTL 信号配線など) から極力離す。
- ・ VDD / GND 配線は低インピーダンスとする。

2) コネクタ

- ・ 特性インピーダンスのマッチングをとる。
- ・ 差動信号間で、リード、ピンの長さ、形状を合わせる。
- ・ クロストークを防止すべくピン配置を最適化する (ノイズ源となる信号との間に、必要に応じてシールド用の GND ピンを配置する等)

3) ケーブル

- ・ シールドされたツイストペアケーブル (Category 5 等) を使用する。
- ・ 特性インピーダンスを、ディファレンシャル 100 とする。

4) 外付け部品

- ・ VREF、RREF 端子に配置するコンデンサ、抵抗器は、表面実装型を使用し、なるべく LSI 端子近傍に配置する。

< 外付け定数 >

VREF 端子 : $C = 0.1 \mu\text{F}$ (GND 間) (注意 : VREF 1 端子毎に 1 個ずつ配置)

RREF 端子 : $R = 3.9\text{k} \pm 1\%$ (GND 間) $C = 0.1 \mu\text{F}$ (GND 間) (注意 : VREF 1 端子毎に R,C それぞれを 1 個ずつ配置)

14 パッケージ外形図

